المملكة العربية السعودية
المؤسسة العامة للتعليم الفني والتدريب المهني
الإدارة العامة لتصميم وتطوير المناهج

دعم فني

دوائر رقمية

١٢١ دعم

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الحمد لله وحده، والصلاة والسلام على من لا نبي بعده، محمد وعلى آله وصحبه، وبعد:

تسعى المؤسسة العامة للتعليم الفني والتدريب المهني لتأهيل الكوادر الوطنية المدربة القادرة على شغل الوظائف التقنية والفنية والمهنية المتوفرة في سوق العمل، ويأتي هذا الاهتمام نتيجة للتوجهات السديدة من لدن قادة هذا الوطن التي تصب في مجملها نحو إيجاد وطن متكامل يعتمد ذاتياً على موارده وعلى قوة شبابه المسلح بالعلم والإيمان من أجل الاستمرار قدماً في دفع عجلة التقدم التنموي: لتصل بعون الله تعالى لمصاف الدول المتقدمة صناعياً.

وقد خطت الإدارة العامة لتصميم وتطوير المناهج خطوة إيجابية تتفق مع التجارب الدولية المتقدمة في بناء البرامج التدريبية، وفق أساليب علمية حديثة تحاكي متطلبات سوق العمل بكافة تخصصاته لتلبي متطلباته ، وقد تمثلت هذه الخطوة في مشروع إعداد المعايير المهنية الوطنية الذي يمثل الركيزة الأساسية في بناء البرامج التدريبية، إذ تعتمد المعايير في بنائها على تشكيل لجان تخصصية تمثل سوق العمل والمؤسسة العامة للتعليم الفني والتدريب المهني بحيث تتوافق الرؤية العلمية مع الواقع العملي الذي تفرضه متطلبات سوق العمل، لتخرج هذه اللجان في النهاية بنظرة متكاملة لبرنامج تدريبي أكثر التصاقاً بسوق العمل، وأكثر واقعية في تحقيق متطلباته الأساسية.

وتتناول هذه الحقيبة التدريبية " دوائر رقمية " لمتدربي قسم" دعم فني " للكليات التقنية موضوعات حيوية تتناول كيفية اكتساب المهارات اللازمة لهذا التخصص.

والإدارة العامة لتصميم وتطوير المناهج وهي تضع بين يديك هذه الحقيبة التدريبية تأمل من الله عز وجل أن تسهم بشكل مباشر في تأصيل المهارات الضرورية اللازمة، بأسلوب مبسط يخلو من التعقيد، وبالاستعانة بالتطبيقات والأشكال التي تدعم عملية اكتساب هذه المهارات.

والله نسأل أن يوفق القائمين على إعدادها والمستفيدين منها لما يحبه ويرضاه: إنه سميع مجيب الدعاء.

الإدارة العامة لتصميم وتطوير المناهج

أبرزت الإلكترونيات الرقمية نمواً مستمراً وسريعاً خلال العقود الأخيرة. يتمثل هذا النمو في نتائج لخطوات متقدمة أستحوذتها التطبيقات في مجال تصميم وتصنيع الإلكترونيات الدقيقة، تقنية الحاسوب وأنظمة المعلومات. مما أدى إلى استخدام الدوائر الرقمية في تزايد مستمر .

إن الدوائر الرقمية متواجدة في كل أنواع المعدات الإلكترونية من الساعة الإلكترونية إلى أجهزة الحواسيب الكبيرة.

إنه من الضروري معرفة النظريات الأساسية للإلكترونيات الرقمية لغرض فهم مباديء الدوائر الرقمية ، اكتساب المهارات وإمكانية تصحيح الخطأ.
وللوصول إلى الهدف المطلوب نشرع في مقدمة في الدوائر الرقمية والتماثلية وكذلك أنواع الإشارات التي غالباً ما نلقاها متواجدة في هذا المجال والأدوات والأجهزة التي تمكننا من القياس وتصحيح الأخطاء في الدوائر الرقمية.

ويكون موضوع الوحدة الثانية التعرف على بعض النظم العددية التي لها علاقة مع نوع الإشارات المستخدمة في الدوائر الرقمية والتي تتمثل عموماً في حالتين للجهد ، الحالة المنخفضة Low أو صفر والحالة المرتفعة High أو واحد وهذا يتلاءم رياضياً مع النظام العددي والثنائي والذي يتكون من الرمز 0 و1.

تتمثل الوظائف المنطقية الرقمية في العمليات الابتدائية الأساسية التي تؤديها الدوائر الرقمية. يكون موضوع البوابات الأساسية والثانوية محور هذه العمليات.

الهدف من الوحدة الرابعة هو تجميع وتركيب البوابات الأساسية والثانوية لأداء مهمة معينة. يبدأ من تطبيقات أو عمليات بسيطة كالجمع والمقارنة حتى نصل إلى الدوائر المعقدة مثل مجمع القنوات Multiplexer أو معدد Demultiplexer .

تزداد الدوائر الرقمية أكثر تعقيد عند دراسة القلابات مع أنواعها الرئيسية وجداول الحقيقة المتعلقة بكل نوع، مروراً بدوائر العدادات والمسجلات والذاكرة والتي على وجه العموم على تجميعات للقلابات تكون في تركيبات معينة.

والوصول في النهاية إلى آخر وحدة ما يمكننا من معرفة مبدأ تشغيل المعالج الدقيق الذي يتكون أساساً على تركيبة معقدة تحتوي على عدد كبير من البوابات الأساسية وأغلب الدوائر التي تعرفنا عليها في الوحدات السابقة.

دوائر رقمية

مقدمة الدوائر الرقمية

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على الكميات الرقمية والكميات التماثلية لإمكانية التفريق بينهما.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. التعرف على الكميات التماثلية والرقمية .
٢. معرفة أنواع الإشارات الرقمية .
٣. معرفة النبضات المستخدمة في الإشارات الرقمية .
٤. معرفة المستويات المنطقية .
٥. معرفة أنواع أجهزة العرض والقياس المستخدمة في الدوائر الرقمية.

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٩٠٪

الوقت المتوقع للتدريب:

ثلاث ساعات .

الوسائل المساعدة:

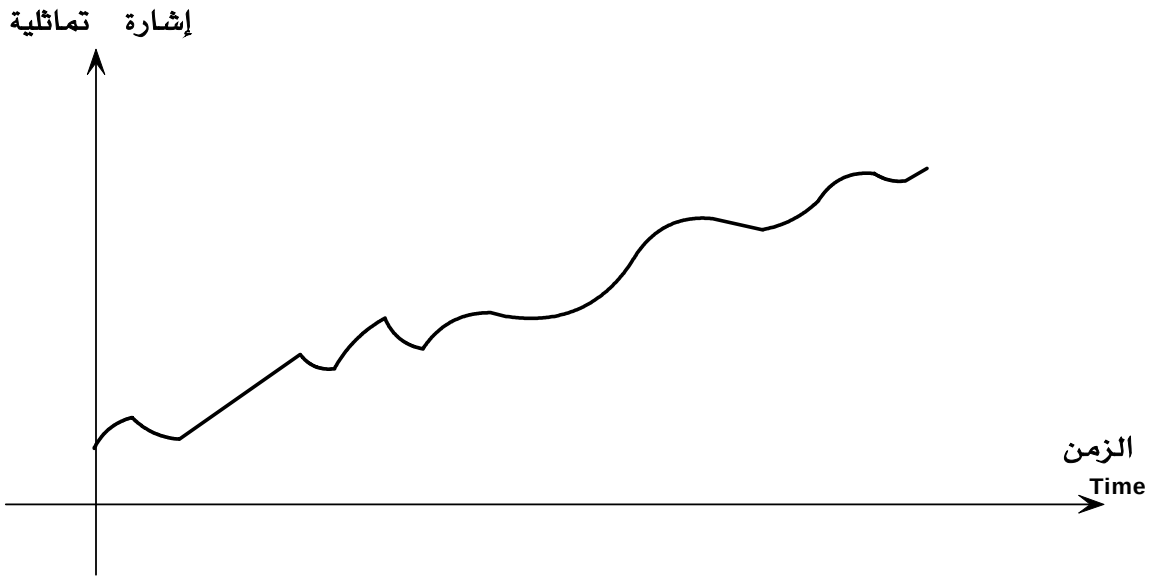
متطلبات الوحدة:

الكميات الرقمية والتماثلية

تنقسم الدوائر الإلكترونية إلى قسمين : الرقمية والتماثلية. تحتوي الإلكترونيات الرقمية على كميات ذات قيم منفردة (Discrete) ، أما الإلكترونيات التماثلية فإنها تحتوي على كميات ذات قيم متواصلة (Continuous).

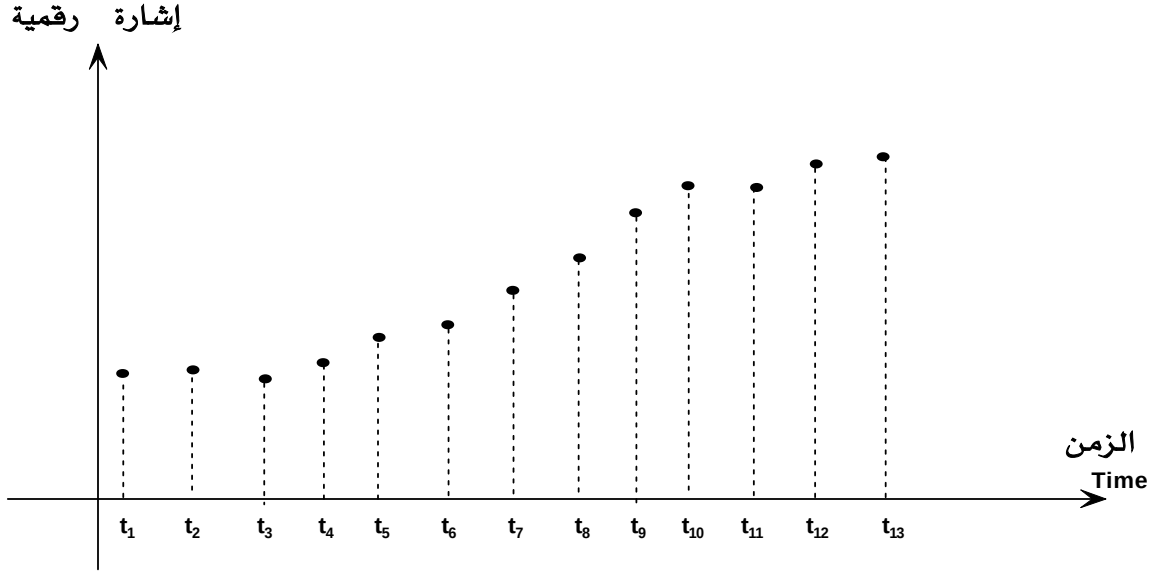
في كثير من الحالات تكون التطبيقات مبنية على الصيغة الرقمية والتماثلية للإشارة في نفس الوقت ، لذا يستحسن التعرف على الكميات والإشارات التماثلية بالرغم أن الموضوع الأساسي في حالتنا هو الإلكترونيات الرقمية.

الكمية التماثلية هي الكمية ذات القيم المتواصلة (Continuous) والكمية الرقمية هي الكمية ذات القيم المنفردة (Discrete) . يوضح الشكل(١ -١) إشارة ذات صيغة تماثلية أما الشكل (١ - ٢) فهو يمثل إشارة ذات صيغة رقمية .



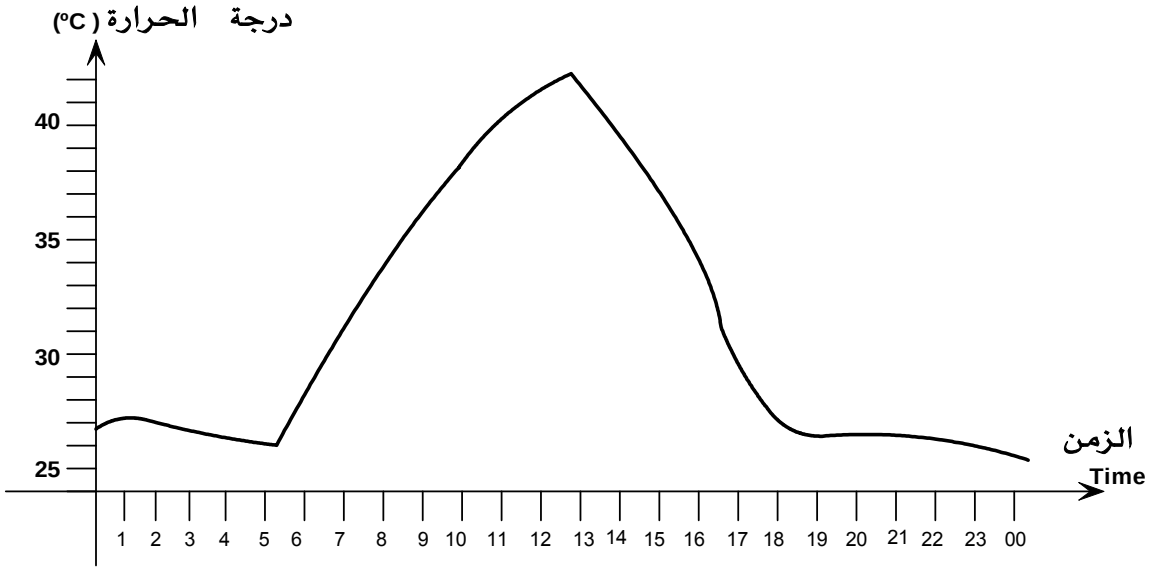
الشكل(١ -١):إشارة تماثلية.

تكون طبيعة الظواهر الفيزيائية المراد قياسها أو معالجتها تماثلية. على سبيل المثال نذكر تغير درجة حرارة الجو التي غالباً ما تتراوح من قيمة إلى قيمة أخرى بصفة متواصلة سواء كانت حالة ارتفاع درجة الحرارة من الصباح الباكر إلى الزوال أو انخفاضها من بداية العصر إلى آخر الليل.



الشكل(١ -٢): إشارة رقمية.

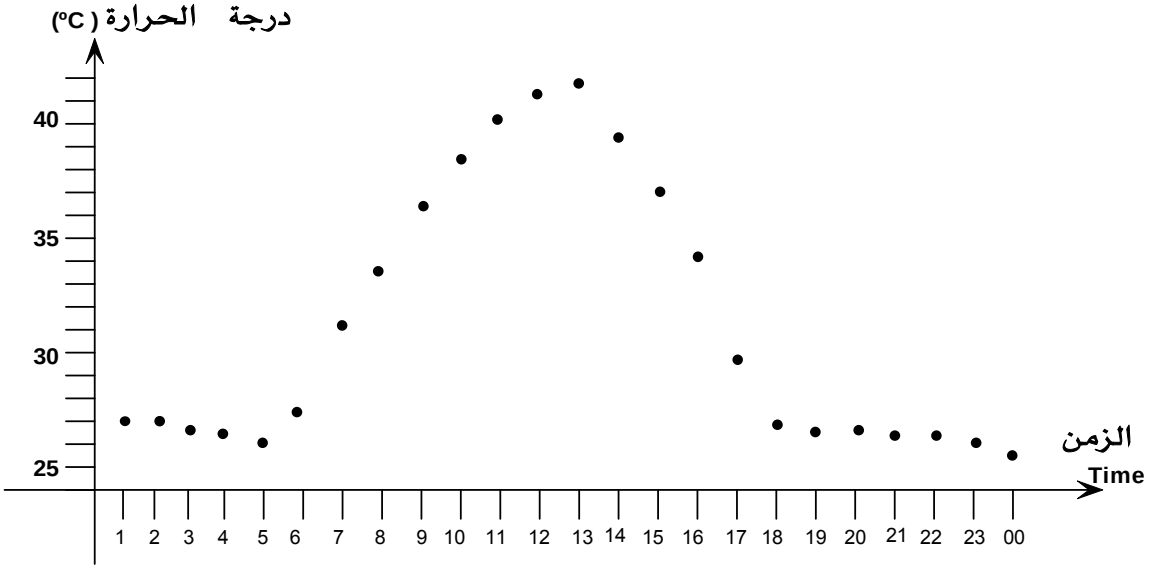
إذا قمنا بقياس درجة الحرارة بواسطة حساس دقيق فإننا نلاحظ أن التغير يحدث بصفة متواصلة من قيمة إلى أي قيمة أخرى، قد يبلغ عدد القيم بين هاتين القيمتين عدداً يقارب ما لا نهاية من القيم.
لهذا السبب تكون عملية معالجة تماثلية بواسطة الحاسب مستحيلة لأن الحاسب يتعامل بكميات محددة ومعروفة لديه ألا وهي الكميات الثنائية (الأصفار و الآحاد) والتي هي أبسط صيغة للكميات الرقمية.
إذا أردنا رسم درجة الحرارة بدلالة الزمن خلال يوم صيفي حار فإنه سيشبه المنحنى المرسوم على الشكل(١ -٣) . ونلاحظ في هذه الحالة تواصل كل نقاط المنحنى مع بعضها البعض.



الشكل(١ -٣): إشارة تماثلية تبين درجة الحرارة بدلالة الزمن ليوم صيفي.

إذا أردنا معالجة درجة الحرارة بجهاز إظهار رقمي أو بالحاسب فما علينا إلا أن نرقم هذه الإشارة.
وتحتوي عملية الترقيم على عدة مراحل نذكر منها:

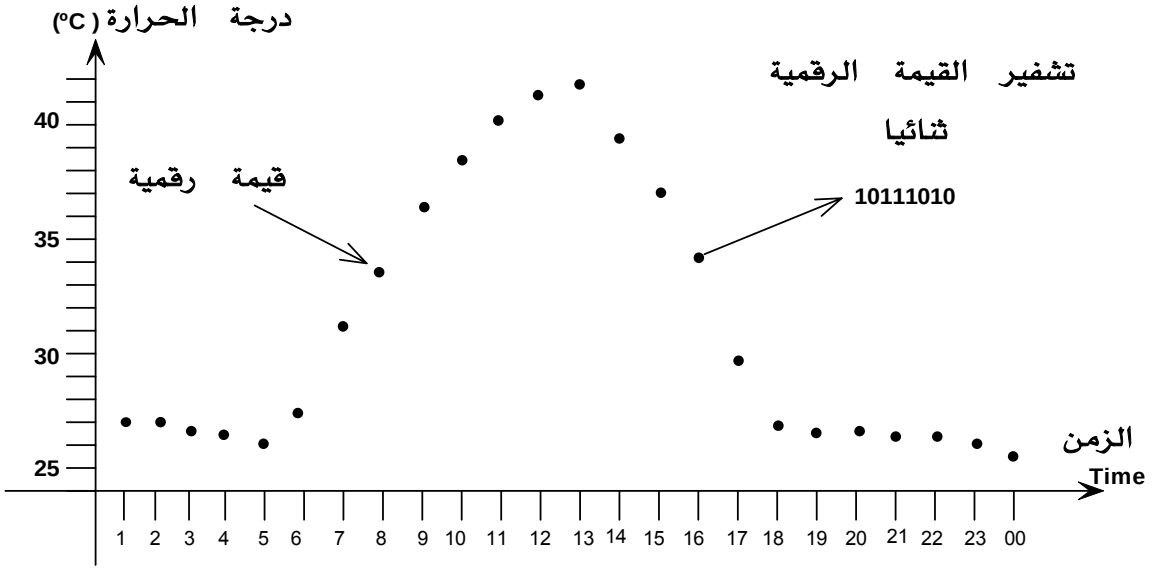
١. أخذ عينات للإشارة التماثلية Sampling مما يعني قياس درجة الحرارة في كل ساعة فقط و هذا ما هو موضح بالشكل(١ -٤).



الشكل(١ -٤):عينات في كل ساعة للإشارة التماثلية السابقة.

٢. تكميم العينات Quantization : الهدف من هذه العملية هو استخدام عدد محدود وثابت من القيم التي تقارب قيم أي عينات مأخوذة بين أدنى قيمة وأقصى قيمة للإشارة، لأننا إذا أخذنا عينات نفس الظاهرة في زمن آخر نحصل على قيم أخرى وهذا ما يؤدي إلى تزايد قيم العينات في كل مرة نعالج الإشارة التماثلية. فالهدف من التكميم هو تحديد عدد القيم التي سوف تعالج في المرحلة التالية.

٣. مرحلة التشفير Encoding : والتي تحتوي على تمثيل أي قيم من القيم المكممة المحدودة العدد بواسطة سلسلة من البتات الثنائية (آحاد و أصفار) ،انظر إلى الشكل(١ -٥).
وتكون عملية التشفير من العشري إلى الثنائي ، و في هذه العملية تحتوي شريحة المشفر على دخل واحد وعدة مخارج.



الشكل(١ -٥): عملية تشفير عينة مكممة.

إذا كان عدد مستويات المكمم 256 مستوى فسوف يكون المشفر ذو دخل واحد وثمان مخارج يعني تُشفر كل قيمة مكممة بواسطة 8 بتات ثنائية.
هكذا تصبح الإشارة التي كانت طبيعتها تماثلية رقمية وجاهزة للمعالجة بواسطة أي جهاز رقمي أو حاسب آلي.

يوجد بعض الدوائر المتكاملة Integrated Circuits التي تؤدي الوظائف الثلاثة السابق ذكرها وهي ما يُطلق عليها اسم المحولات التماثلية الرقمية Analog to (ADC) Digital Converters.

كما يوجد أيضاً الدوائر التي تؤدي العمليات العكسية لعملية ADC وهي ما يُطلق عليها اسم المحولات الرقمية التماثلية Digital to Analog Converters (DAC).

يمتاز الرقمي على التماثلي في معظم التطبيقات الالكترونية. و تتميز أيضاً عملية المعالجة والإرسال للبيانات الرقمية بأكثر فعالية عن نظيرتها التماثلية.

ومن مزايا الإلكترونيات الرقمية على التماثلية مقاومتها للضوضاء أو التشويش وقدرة التخزين العالية .

الكميات الثنائية:

تحتوي الإلكترونيات الرقمية على دوائر وأنظمة تستخدم حالتين اثنتين فقط. تتمثل هاتين الحالتين بقيمتين للجهد: المستوى العالي أو High و المنخفض أو Low.

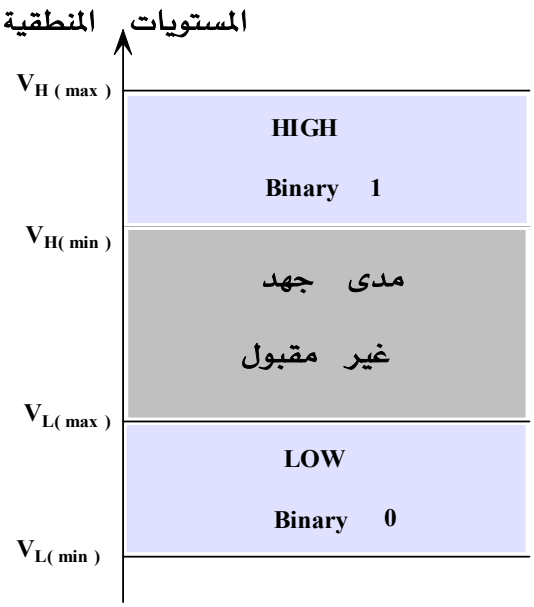
نستطيع أن نمثل الحالتين بمفاتيح مغلقة أو مفتوحة، مصباح مضيء "ON" أو مطفيء "OFF".

نستخدم الأرقام 0 و 1 للتعامل رياضياً مع هذا النوع من الحالات والنظام الرقمي الذي يتولى هذه العمليات هو النظام الثنائي والذي تحتوي رموزه على الأرقام 0 و 1.

في الدوائر الرقمية وفي حالة المنطقية الموجبة يتمثل البت 1 بالجهد العالي High والبت 0 بمستوى الجهد المنخفض Low.

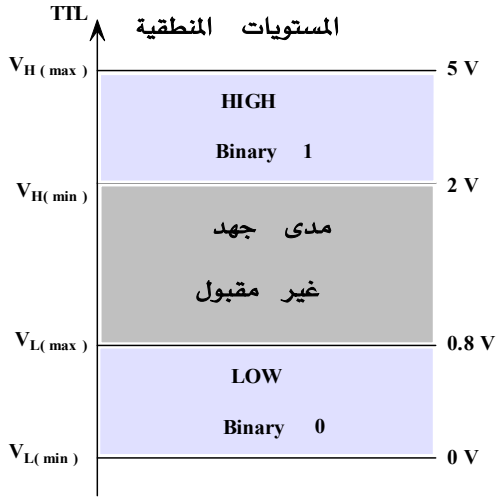
المستويات المنطقية:

تسمى الجهود التي تُمثل 0 و 1 بمستويات منطقية. في الحالة المثالية يمثل أحد المستويات High والمستوى الثاني يمثل Low. لكن في الدوائر الرقمية يدل عملياً High على أي قيمة للجهد تكون قيمتها تتراوح بين قيمة محددة دنيا وقيمة محددة قصوى. كذلك الوضع بالنسبة للمستوى Low. يكون من غير المقبول تداخل مدى High مع مدى Low كما هو موضح بالشكل(١ -٦).



الشكل(١ -٦):المستويات المنطقية.

نرى من خلال الشكل أن جهد High يتراوح بين $V_{H(Min)}$ و $V_{H(Max)}$ كما يتراوح جهد Low بين $V_{L(Min)}$ و $V_{L(Max)}$ وتكون حالات القيم بين $V_{H(Min)}$ و $V_{H(Max)}$ غير مقبولة، لأنها تستطيع أن تعني 0 كما تستطيع أن تعني 1، لذا تكون القيم في هذا المدى غير مستخدمة على الإطلاق.
على سبيل المثال في الدوائر الرقمية من نوع TTL يكون مدى High بين 2V و 5V ومدى Low بين 0V و 0.8V و هذا ما هو موضح في الشكل(١ -٧).



الشكل(١ -٧): المستويات المنطقية الخاصة بحالة TTL.

إذا استقبلنا إشارة رقمية في لحظة ما وكانت قيمتها 3.2V فسنقرأها كأنها High أو 1 وإذا حصلنا على إشارة قيمتها 0.6V فسوف تعني لنا جهد Low أو 0 . كل ما هو أكبر من 0.8V وأصغر من 2V يكون غير مقبول.

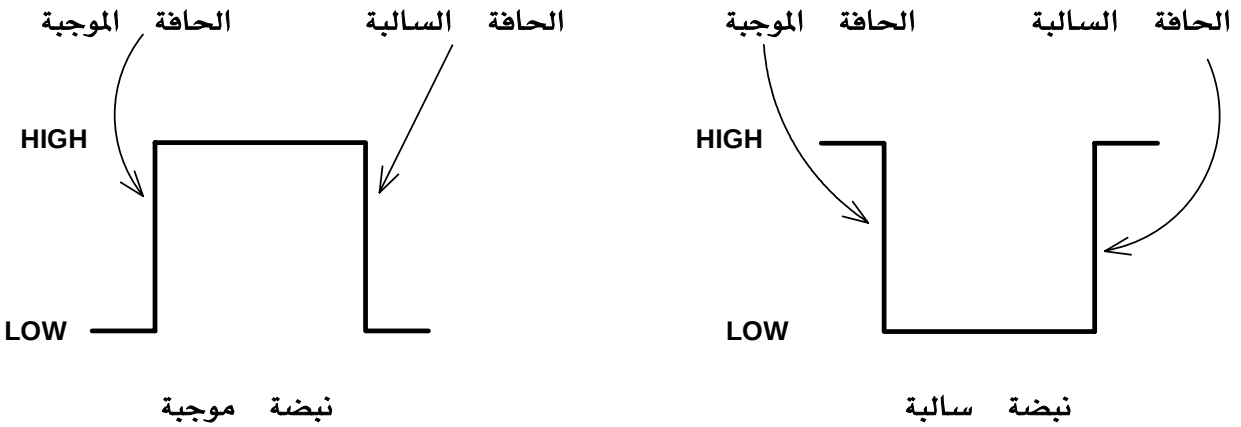
الإشارات الرقمية

تحتوي الإشارات أو الموجات الرقمية على قيم للجهد تتراوح بين القيم High و Low في سلسلة ذات تغير عشوائي.

تكون الإشارات الرقمية عبارة عن نبضات مربعة تدل في بعض الأحيان و التي يطلق عليها اسم المنطقية الموجبة على 1 عندما تتغير من Low إلى High وعلى 0 عندما تتغير من High إلى Low.

و العكس يحدث في حالة المنطقية السالبة .

يوضح الشكل(١ -٨) أنواع النبضات التي من خلالها نُشفر الجهد أو المستوى High والجهد Low.



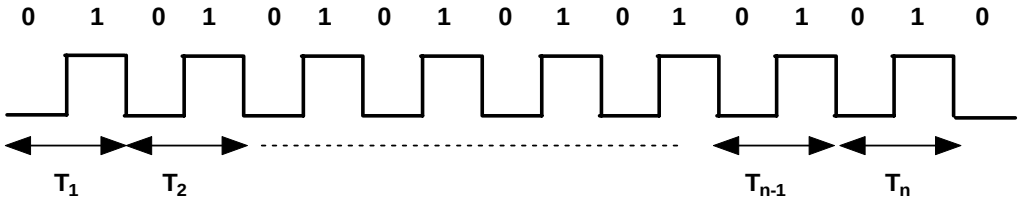
الشكل(١ -٨):النبضات المستخدمة في الإلكترونيات الرقمية.

نلاحظ أن النبضة الموجبة تحتوي على حافة موجبة متبوعة بمستوى ثابت (High) وتنتهي بحافة سالبة، أما النبضة السالبة فإنها تتكون من حافة سالبة متبوعة بمستوى ثابت (Low) وتنتهي بحافة موجبة.

تتألف معظم الإشارات في الأنظمة الرقمية من سلسلة من النبضات التي بدورها تنقسم إلى سلاسل دورية Periodic أو غير دورية Aperiodic.

الإشارة الدورية هي الإشارة التي تعيد نفسها بعد زمن T يدعى زمن الدورة الواحدة أو Period.

يبين الشكل(١ -٩) إشارة رقمية دورية والشكل(١ -١٠) إشارة رقمية عشوائية غير دورية.



زمن الدورة الواحدة $T_1=T_2=...T_{n-1}=T_n=T$ = Period

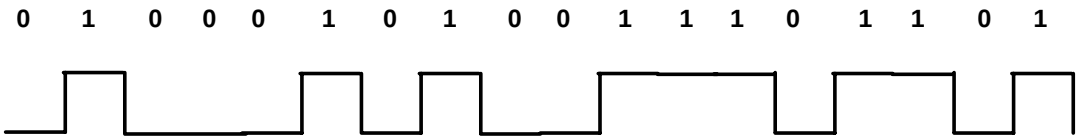
التردد Frequency = f =1/T

الشكل(١ -٩): إشارة رقمية دورية.

التردد f (frequency) هو عدد المرات التي تعيد الإشارة فيها نفسها خلال ثانية واحدة. وحدة التردد هي الهيرتز Hertz (Hz).

العلاقة بين التردد f وزمن الدورة الواحدة T هو :

$$T=\frac{1}{f} \qquad \text{أو} \qquad f=\frac{1}{T}$$



إشارة رقمية عشوائية

غير دورية

الشكل(١ -١٠): إشارة رقمية عشوائية غير دورية.

أجهزة القياس الرقمية

نحتاج إلى عدد من الأجهزة لعزل، تحديد وتصحيح المشاكل المتعلقة بالأنظمة أو الدوائر الرقمية. في كثير من الأحيان تُستخدم هذه الأجهزة لفحص الدوائر الرقمية. من بين هذه الأجهزة نذكر:

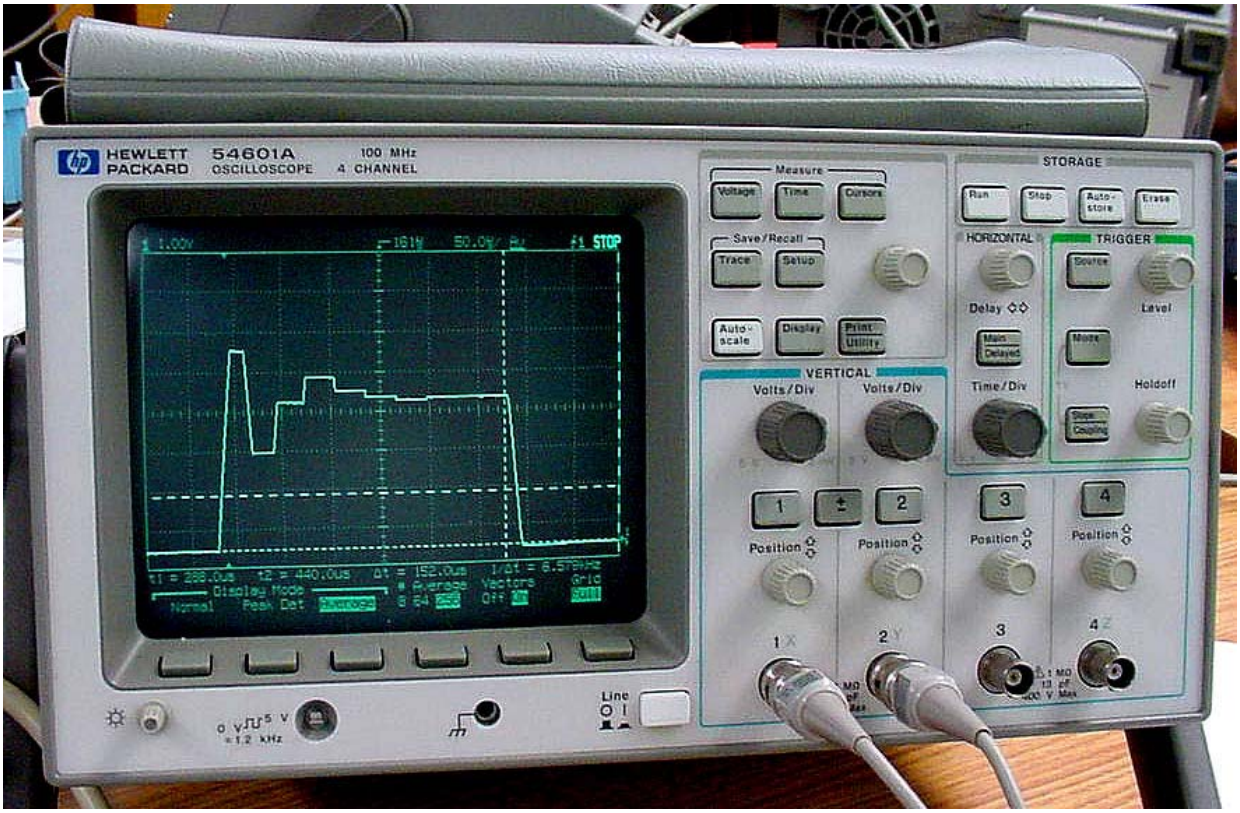
١ - جهاز الأسيلوسكوب Oscilloscope :

جهاز الأسيلوسكوب هو من الأجهزة الأكثر استخداماً لفحص تحديد وتصحيح الأخطاء. مبدأه هو عرض منحنى إشارة كهربية على شاشته.

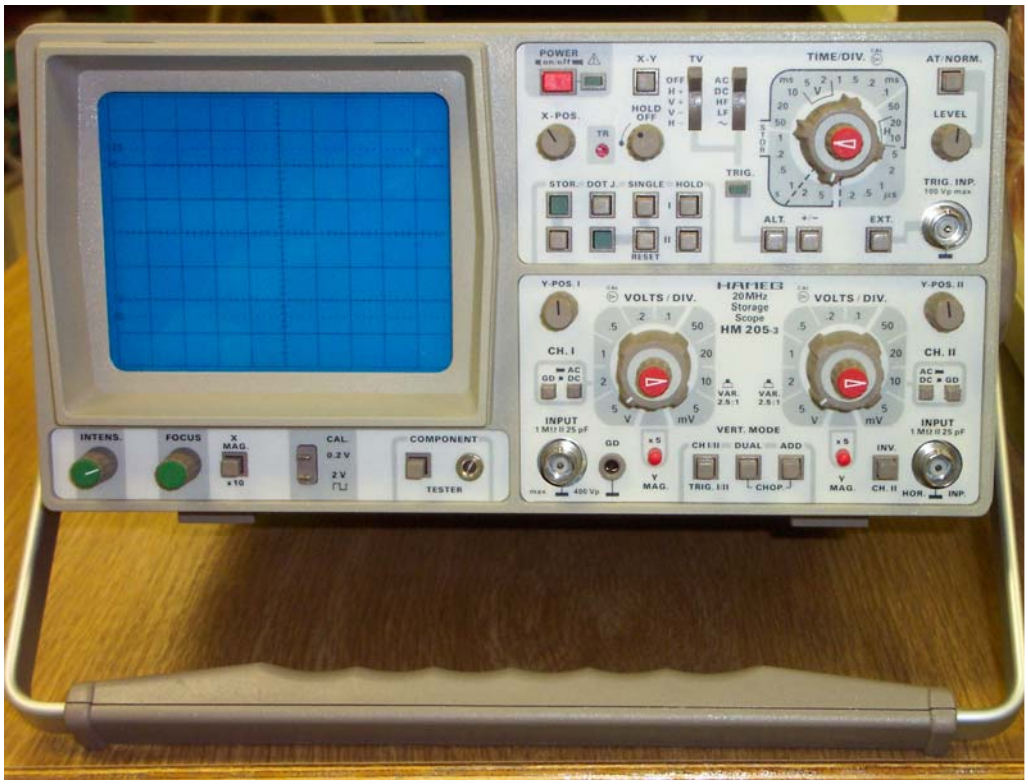
يبين المنحنى كيف تتغير الإشارة مع الزمن يدل المحور العمودي على جهد الإشارة كما يدل المحور الأفقي على الزمن. يمكننا عرض الإشارة الرقمية على شاشة من الحصول على عدة عوامل كزمن دورة الإشارة وترددها وغير ذلك.

يوجد نوعان من أجهزة الأسيلوسكوب: التماثلي والرقمي. يقوم الأسيلوسكوب التماثلي بعرض الإشارة الداخلة عبر أحد قنواته مباشرةً على شاشته. أما الأسيلوسكوب الرقمي فإنه يأخذ عينات للإشارة ويستخدم محول تماثلي رقمي ADC لتحويل الجهد المقاس إلى معلومات رقمية يستخدمها فيما بعد لبناء ورسم الإشارة على الشاشة.

يوضح الشكل(١ -١١) أجهزة أسيلوسكوب من النوع الرقمي و الشكل(١ -١٢) جهاز من النوع التماثلي.



الشكل(١ -١١): أجهزة أسيلوسكوب من النوع الرقمي.



الشكل(١ -١٢): جهاز أسيلوسكوب من النوع التماثلي.

٢ - المحلل المنطقي Logic Analyzer:

يستخدم هذا الجهاز ، كما يظهر في الشكل(١ -١٣) لكشف وعرض البيانات الرقمية بتنسيقات متعددة، كتنسيق الأسيلوسكوب ، المخطط الزمني و جدول الحالات.

أ - تنسيق الأسيلوسكوب

يستخدم الجهاز في هذه الحالة لعرض منحنى الإشارة على الشاشة وهذا لإمكانية قياس بعض عوامل النبضات والإشارة.

ب - تنسيق المخطط الزمني Timing Diagram

يستطيع المحلل المنطقي من عرض ستة عشرة موجة، مما يمكن من تحليل مجموعة من الموجات أو الإشارات وتعيين أو تحديد العلاقة فيما بينهما خلال الزمن.

ج - تنسيق جدول الحالات State Table

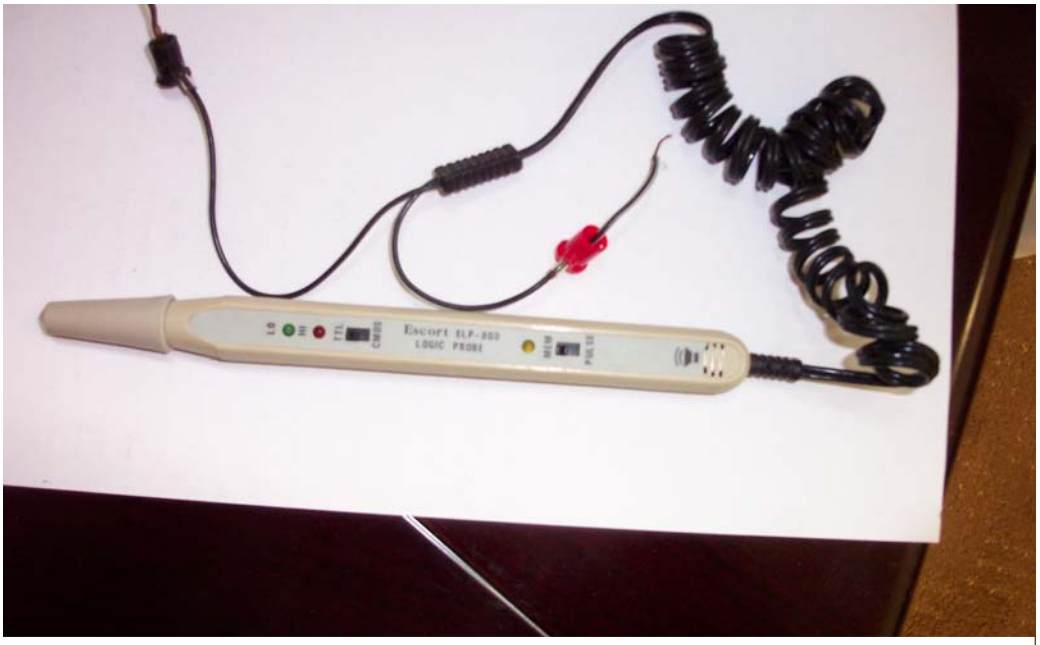
يستطيع المحلل في هذه الحالة من عرض البيانات الثنائية على شكل جداول. وتعرض البيانات في عدة أنظمة عددية كالثنائي Binary والثماني Octal والسداسي العشري Hexadecimal والثنائي المشفر عشرياً BCD وشفرات ASCII.

الشكل(١ -١٣):جهاز المحلل المنطقي.

٣ - جهاز المجس المنطقي والنبضي **Logic Probe , Logic Pulser**

يعتبر جهاز الاختبار المنطقي أو المجس كأداة لفحص وكشف أعطال الدوائر المنطقية وهذا بإحساس عدد من الظروف في نقطة معينة من الدائرة.

يبين الشكل(١ -١٤) صورة لمجس منطقي.



الشكل(١ -١٤): المجس منطقي.

يستطيع هذا الجهاز من كشف قيم الجهود المنخفضة والعالية، النبضات المنفردة والمتكررة كما يستطيع الكشف عن الدارات المفتوحة. يحتوي الجهاز على مصباح يدل على الحالة أو الظرف السائد في نقطة معينة من الدائرة.

أما جهاز النبضي المنطقي Logic Pulser ،و الذي يظهر على الشكل(١ -١٥)، فإنه يُولد موجات نبضية متكررة على أي نقطة في الدائرة. بإمكاننا إرسال نبضات عبر نقطة معينة واستقبالها على نقطة ثانية بواسطة جهاز الاختبار المنطقي Logic Probe.

الشكل(١ -١٥): المجس منطقي النبضي.

يستطيع الجهاز النبضي المنطقي من الكشف على دارات القصر Shorts.

٤ - مولد الجهد المستمر DC Power Supply:

يعتبر مولد الجهد من الأجهزة الأساسية لتشغيل الدوائر الرقمية. بما أن كل الدوائر الرقمية تحتاج إلى جهد مستمر فإن مولد الجهد هو الذي يُحول الطاقة الكهربية المتناوبة AC إلى جهد مستمر ومنظم. أغلب دوائر TTL وبعض دوائر CMOS تحتاج إلى جهد قيمته +5V .

يظهر في الشكل(١ -١٦) جهاز مولد للجهد المستمر.

الشكل(١ -١٦):جهاز مولد للجهد المستمر.

٥ - مولد الإشارات (الدوال) Function Generator:

مولد الإشارات المتعددة هو عبارة عن مصدر للإشارة يُستخدم للتزويد بالإشارة النبضية، والموجات الجيبية والمثلثة. نرى في الشكل(١ -١٧) جهاز مولد للإشارات.

الشكل(١ -١٧):جهاز مولد الإشارات.

٦ - جهاز القياس متعدد الوظائف الرقمي (DDM) Digital multi meter

تُستخدم هذه الأداة لقياس الجهد المستمر DC والمتناوب AC، التيار المستمر والمتناوب وكذلك المقاومات.

يظهر على الشكل(١ -١٨) صور لبعض أجهزة القياس المتعددة الوظائف.

الشكل(١ -١٨): أجهزة القياس المتعددة الوظائف.

اختبار ذاتي

١. ماذا يدعى للكميات ذات القيم المستمرة؟

٢. ماذا نعني بالبت؟

٣. ما هي مميزات الإلكترونيات الرقمية مقارنة مع نظيرتها التماثلية؟

٤. ما هو تردد موجة تتكرر نبضاتها كل 10ms ؟

٥. ما هو زمن الدورة الواحدة لموجة ذات تردد 1MHz ؟

٦. ارسم الموجه التي تمثل البيانات 100111010101 ؟ هل الموجه دورية في أم لا؟

٧. ارسم الموجه التي تمثل البيانات 1010101010101010 ؟ هل الموجه دورية في مجال وجودها أم لا؟

٨. ماذا يُطلق على الكميات ذات القيم المنفردة؟

٩. ما هي مهمة جهاز الأسيلوسكوب؟

١٠.ما هي القدرات التي يملكها الأسيلوسكوب الرقمي مقارنة مع نظيره التماثلي؟

١١.ما هي مهمة المحلل المنطقي Logic Analyzer ؟

١٢.ما هي دور المجس المنطقي Logic Probe ؟

١٣.ما هو نوع المجس الذي بامكانه الكشف عن الدوائر المفتوحة؟

دوائر رقمية

النظم العددية والشفرات

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على الأنظمة العددية المختلفة لإمكانية التحويل من نظام إلى نظام ثاني والتعرف على الرموز المتعلقة بكل نظام.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. التعرف على مختلف الأنظمة العددية .
٢. التحويل من أي نظام إلى أي نظام آخر .
٣. معرفة شفرة BCD .
٤. معرفة شفرةASCII .

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٩٠٪

الوقت المتوقع للتدريب:

ثلاث ساعات

الوسائل المساعدة:

١. آلة حاسبة
٢. جدول ASCII

متطلبات الوحدة:

الأنظمة العددية

نظام العد العشري المعروف لدينا ليس هو النظام الوحيد الذي يمكن للإنسان استخدامه، ولكن بحكم اعتيادنا على هذا النظام أصبح يُخيل إلينا أنه النظام العددي الوحيد. فيما يلي سنقوم بالتعرف على بعض الأنظمة العددية الأخرى وطرق التحويل فيما بينها.

أهم هذه الأنظمة هو النظام الثنائي Binary System لأنه لغة الدوائر الرقمية والتي تمثل الأساس التي تقوم عليه الحاسبات وجميع أنظمة التحكم والاتصال الرقمية الحديثة. كذلك سنقوم بدراسة النظام الثماني Octal System والنظام الست عشري Hexadecimal System لما لهما من استخدام واسع في الإلكترونيات الرقمية لتمثيل مجموعة كبيرة (سلسلة طويلة) في الأرقام الثنائية بعدد قليل من الأرقام الثمانية أو الست عشرية.

جميع الأنظمة العددية تتشابه فيما بينها فهي جميعاً مبنية على ترتيب الرموز على شكل خانات وقيمة أي رمز تتحدد بحسب الخانة التي يقع فيها وعليه فإن أي نظام عددي يتميز بالآتي: -

١. عدد الرموز المستخدمة والتي تمثل أساس النظام.
٢. قيمة أي رمز تساوي الرمز مضروباً في الأساس مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد.

و سنقوم أولاً بمراجعة للنظام العشري لكي تساعدنا على فهم الأنظمة العددية الأخرى.

٢ -١النظام العشري Decimal System

النظام العشري مؤلف من عشرة رموز "أرقام" Digits وهي 0 ، 1,2,3,4,5,6,7,8، 9 ولهذا سُمي بالنظام العشري وأساس هذا النظام هو العدد 10 . ونستطيع تمثيل أي كمية عن طريق ترتيب هذه الرموز على شكل خانات حيث تملك كل خانة وزناً هو الرقم 10 مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد وتكون القوة سالبة في حالة الكسر.

الجدول التالي يُمثل وزن كل خانة في النظام العشري:

.....	10^3	10^2	10^1	10^0	10^{-1}	10^{-2}	10^{-3}	.....
.....	1000	100	10	1	$\frac{1}{10}$	$\frac{1}{100}$	$\frac{1}{1000}$	.....
تمثيل الأرقام الصحيحة					تمثيل الكسور			

جدول (٢ -١)

مثال١:

كم قيمة الرقم 632 ؟

الحل:

$$(10^2 \times 6) + (10^1 \times 2) + (10^0 \times 3) =$$

$$(100 \times 6) + (10 \times 2) + (1 \times 3) =$$

$$600 + 20 + 3 = 623$$

فالرمز3 في خانة الآحاد قيمته تساوي 3 وحدات، والرمز 2 في خانة العشرات قيمته تساوي 20 وحدة والرمز 6 في خانة المئات قيمته تساوي 600 وحدة.

مثال٢:

كم قيمة الرقم 2574 ؟

الحل:

$$(10^3 \times 2) + (10^2 \times 5) + (10^1 \times 7) + (10^0 \times 4) =$$

$$2000 + 500 + 70 + 4 =$$

$$= 2574$$

مثال٣:

كم قيمة الرقم 0.25 ؟

الحل:

$$(10^{-2} \times 5) + (10^{-1} \times 2) =$$
$$(\frac{1}{100} \times 5) + (\frac{1}{10} \times 2) =$$
$$0.05 + 0.2 = 0.25$$

مثال٤:

كم قيمة الرقم 47.25 ؟

الحل:

$$(10^{-2} \times 8) + (10^{-1} \times 3) + (10^{1} \times 4) + (10^{0} \times 7) =$$
$$(\frac{1}{100} \times 8) + (\frac{1}{10} \times 3) + (10 \times 4) + (1 \times 7) =$$
$$0.08 + 0.3 + 40 + 7 = 47.38$$

٢ -٢ النظام الثنائي Binary System

يتألف هذا النظام من رمزين فقط 0 ، 1 وأساس هذا النظام هو 2 . أي أن وزن كل خانة يساوي 2 مرفوعاً لقوة تساوي ترتيب الخانة ناقص واحد.

الجدول التالي يُعطي وزن كل خانة في النظام الثنائي:

.....	2^5	2^4	2^3	2^2	2^1	2^0	2^{-1}	2^{-2}	2^{-3}	.....
.....	32	16	8	4	2	1	$\frac{1}{2}$	$\frac{1}{4}$	$\frac{1}{8}$	.....
تمثيل الأرقام الصحيحة							تمثيل الكسور			

جدول (٢ -٢)

نظام العد الثنائي شبيه بالنظام العشري فنحن عندما نقوم بعملية العد نقوم بفتح خانة جديدة ونستمر بالعد 0 ، 1,2,3 حتى نصل إلى 9 ثم نقوم بفتح خانة جديدة ونستمر بالعد 10,11,12، 13 ..... حتى نصل إلى ٩٩ فنقوم بفتح خانة ثالثة ونستمر بالعد 100,101,102، 103 ..... وهكذا.

في النظام الثنائي نقوم بنفس العملية مع الاختلاف الوحيد وهو أن لدينا رموزاً أقل وهذا من المفترض أن يجعل العملية أسهل قليلاً فكلما وصلت أي خانة إلى 1 نفتح خانة جديدة.

0 ، 1 الآن نفتح خانة جديدة

10 ، 11 الآن نفتح خانة جديدة

100 ، 101 ، 110 ، 111 الآن نفتح خانة جديدة

1000، 1001 ، 1010 ، 1111

الجدول التالي يُمثل الأعداد من 0 إلى 15 وما يُقابلها في النظام الثنائي :

النظام الثنائي	النظام العشري
0000	0
0001	1
0010	2
0011	3
0100	4
0101	5
0110	6
0111	7
1000	8
1001	9
1010	10
1011	11
1100	12
1101	13
1110	14
1111	15

جدول (٢ -٣)

للتحويل من النظام الثنائي إلى النظام العشري فإننا نقوم بجمع قيمة كل خانة في الرقم الثنائي.

مثال١ :

أوجد الرقم العشري المكافىء للرقم الثنائي 101؟

الحل:

101 تساوي:

$$(2^2 \times 1) + (2^1 \times 0) + (2^0 \times 1) =$$

$$(4 \times 1) + (2 \times 0) + (1 \times 1) =$$

$$4 + 0 + 1 = 5$$

مثال٢ :

أوجد الرقم العشري المكافىء للرقم الثنائي 11011؟

الحل:

11011 تساوي:

الأوزان	2^0	2^1	2^2	2^3	2^4
	1	2	4	8	16
	×	×	×	×	×
	1	1	0	1	1

$= 27$

٢ -٢ -١خواص النظام الثنائي:

١. رموز النظام الثنائي هي 0 ، 1
٢. أساس النظام الثنائي هو 2
٣. خانات النظام الثنائي هي قوى العدد 2 وتسمى الخانة بت Bit.

لوجود أكثر من نظام عد فإننا عادةً ما نكتب الرقم بين قوسين ويكتب أسفل القوس أساس النظام المستخدم أمثلة:

أرقام ثنائية $(1101)_2, (100)_2$

أرقام عشرية $(257)_{10}, (101)_{10}$

٢ -٣ النظام الست عشري Hexadecimal System

النظام الست عشري يتكون من ستة عشر رمزاً وهي:

0,1,2,3,4,5,6,7,8,9,A,B,C,D,E,F

مع ملاحظة أن الحروف A,B,C,D,E,F تُكافىء الأرقام 10,11,12,13,14,15.

٢ -٣ -١ خواص النظام الست عشري

١. أساس النظام الست عشري هو الرقم 16

٢. خانات النظام الست عشري هي قوى الرقم 16

.....	16^2	16^1	16^0	16^{-1}	16^{-1}	.....
.....	256	16	1	$\frac{1}{16}$	$\frac{1}{256}$	.....
تمثيل الأرقام الصحيحة				تمثيل الكسور		

جدول (٢ -٤)

أمثلة:

$(F5)_{16}, (47)_{16}, (1A3)_{16}$

مثال١:

حَوِل الرقم $(10B)$ إلى مكافئه العشري

الحل:

101لاحظ أن B تقابل 11 في النظام العشري

$(10B)$

$$(16^2 \times 1) + (16^1 \times 0) + (16^0 \times 11) =$$

$$(256 \times 1) + (16 \times 0) + (1 \times 11) =$$

$$256 + 16 + 11 = 267$$

$$\therefore (267)_{10} = (10B)_{16}$$

مثال٢ :

حَول الرقم $(10)_{16}$ إلى نظيره العشري

الحل:

$(10)_{16}$

$$(16^1 \times 1) + (16^0 \times 0) =$$

$$(16 \times 1) + (1 \times 0) =$$

$$16 + 0 = 16$$

$$\therefore (16)_{10} = (10)_{16}$$

الجدول التالي يُعطي الأعداد من 0 إلى 15 وما يُكافئها في النظامين الثنائي والست عشري.

النظام الست عشري	النظام الثنائي	النظام العشري
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
A	1010	10
B	1011	11
C	1100	12
D	1101	13
E	1110	14
F	1111	15

جدول (٢ -٥)

٢ -٤ التحويل من النظام العشري إلى النظام الثنائي

للتحويل من النظام العشري إلى النظام الثنائي فإننا نستخدم طريقة القسمة المتكررة على 2 . وذلك بقسمة الرقم العشري على 2 ونحتفظ بالباقي ثم نقسم ناتج القسمة السابق على 2 مرة أخرى ونحتفظ بالباقي ونكرر العملية حتى يكون ناتج القسمة 0 كما في المثال التالي.

مثال١ :

حول الرقم 6 إلى مكافئه الثنائي

الحل:

	الباقي	الناتج	
الأقل رتبة LSB	0	3	$6 \div 2 =$
	1	1	$3 \div 2 =$
	1	0	$1 \div 2 =$
الأعلى رتبة MSB			

$$\therefore (110)_2 = (6)_{10}$$

مثال٢ :

حول الرقم 19 إلى نظيره الثنائي

الحل:

	الباقي	الناتج	
الأقل رتبة LSB	1	9	$19 \div 2 =$
	1	4	$9 \div 2 =$
	0	2	$4 \div 2 =$
	0	1	$2 \div 2 =$
	1	0	$1 \div 2 =$
الأعلى رتبة MSB			

$$\therefore (10011)_2 = (19)_{10}$$

ويمكن التأكد من صحة الحل من خلال تحويل الرقم الثنائي إلى مكافئه العشري مرة أخرى.
$(10011)_2$

$$(2^4 \times 1) + (2^3 \times 0) + (2^2 \times 0) + (2^1 \times 1) + (2^0 \times 1) =$$
$$(16 \times 1) + (8 \times 0) + (4 \times 0) + (2 \times 1) + (1 \times 1) =$$
$$16 + 0 + 0 + 2 + 1 = 5$$
$$= (19)_{10}$$

٢ -٥التحويل من النظام الثنائي إلى النظام الست عشري

نظراً لوجود علاقة بين أساسي النظامين الثنائي والست عشري وهي أن $16 = 2^4$ فأن كل أربع خانات ثنائية تُقابل خانة واحدة ست عشرية مما يجعل التحويل بينهما سهلاً وسريعاً. للتحويل من النظام الثنائي إلى النظام الست عشري نقوم بالتالي:

١. نقسم الرقم الثنائي إلى مجموعات كل مجموعة مكونه من أربع خانات مبتدئين من أقصى اليمين.
٢. نحصل على المكافىء العشري لكل مجموعة.
٣. من المكافىء العشري نحصل على المكافىء الست عشري.

مثال١:

حول الرقم $(110101)_2$ إلى مكافئه الست عشري

الحل:

الثنائي	$(0011$	$0101)_2$
العشري	$(3)_{10}$	$(5)_{10}$
الست عشري	$(35)_{16}$	

$$\therefore (35)_{16} = (110101)_2$$

مثال٢:

حول الرقم $(1101011)_2$ إلى مكافئه الست عشري

الحل:

الثنائي	$(0110$	$1011)_2$
العشري	$(6)_{10}$	$(11)_{10}$
الست عشري	$(6)_{16}$	$(B)_{16}$

$$\therefore (6B)_{16} = (1101011)_2$$

مثال٣:

حول الرقم $(1011100000)_2$ إلى نظيره الست عشري

الحل:

الثنائي	$(0010$	1110	$0000)_2$
العشري	$(2)_{10}$	$(14)_{10}$	$(0)_{10}$
الست عشري	$(2)_{16}$	$(E)_{16}$	$(0)_{16}$

$$\therefore (2EO)_{16} = (1011100000)_2$$

٢ -٦التحويل من النظام الست عشري إلى النظام الثنائي

هنا نقوم بتحويل كل رمز ست عشري إلى أربع خانات ثنائية ، وذلك بالاستعانة بجدول (٢ -٥)

مثال١:

حَول العدد 2B5 إلى نظيره الثنائي

الحل:

الست عشري	2	B	5
الثنائي	0010	1011	0101

$$\therefore (1010110101)_2 = (2B5)_{16}$$

مثال٢ :

حَول العدد CO3 إلى نظيره الثنائي

الحل:

الست عشري	3	O	C
الثنائي	0011	0000	1100

$$\therefore (110000000011)_2 = (CO3)_{16}$$

٢ - ٧ الأعداد العشرية ثنائية التشفير Binary Coded Decimal (BCD)

اعتاد الإنسان على التعامل مع النظام العشري بينما الحاسبات لا تستطيع معالجة سوى البيانات الثنائية، لذا كان منن الضروري تمثيل كل رقم عشري بما يوازيه بالنظام الثنائي ومن هنا فإن الكود BCD هو أول محاولة لتمثيل الأرقام العشرية من 0 إلى 9 بما يُكافئها بالنظام الثنائي.

الكود BCD

النظام العشري	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

جدول (٢ -٦)

لاحظ أن كل رقم عشري يُمَثَلَ بأربع خانات ثنائية فمثلاً الرقم 3 يُمَثَلَ بـ 0011 وليس 11، والرقم 15 يُمَثَلَ كالتالي00010101

يجب ملاحظة أن تشفير BCD يختلف تماماً عن المكافىء الثنائي للرقم العشري كما في الجدول التالي:

العدد	BCD	المكافىء الثنائي
23	00100011	10111
85	10000101	1010101
251	001001010001	11111011

جدول (٢ -٧)

٢ -٨ الكود الأمريكي القياسي لتبادل المعلومات ASCII

لقد تم تمثيل الأعداد والحروف الأبجدية وعلامات التنقيط باستخدام شفرات مختلفة.

من أشهر الشفرات الكود الأمريكي القياسي لتبادل المعلومات ASCII وتُنطَق (أسكي) وهي شفرة ذات 7 بتات .

الجدول التالي يعطي بعض الأحرف الرموز وما يُقابلها في شفرة ASCII.

HEX	DEC	CHR	CTRL		HEX	DEC	CHR		HEX	DEC	CHR		HEX	DEC	CHR
00	0	NUL	^@		20	32	SP		40	64	@		60	96	`
01	1	SOH	^A		21	33	!		41	65	A		61	97	a
02	2	STX	^B		22	34	"		42	66	B		62	98	b
03	3	ETX	^C		23	35	#		43	67	C		63	99	c
04	4	EOT	^D		24	36	$		44	68	D		64	100	d
05	5	ENQ	^E		25	37	%		45	69	E		65	101	e
06	6	ACK	^F		26	38	&		46	70	F		66	102	f
07	7	BEL	^G		27	39	'		47	71	G		67	103	g
08	8	BS	^H		28	40	(		48	72	H		68	104	h
09	9	HT	^I		29	41	)		49	73	I		69	105	i
0A	10	LF	^J		2A	42	*		4A	74	J		6A	106	j

0B	11	VT	^K	2B	43	+	4B	75	K	6B	107	k
0C	12	FF	^L	2C	44	,	4C	76	L	6C	108	l
0D	13	CR	^M	2D	45	–	4D	77	M	6D	109	m
0E	14	SO	^N	2E	46	.	4E	78	N	6E	100	n
0F	15	SI	^O	2F	47	/	4F	79	O	6F	111	o
10	16	DLE	^P	30	48	0	50	80	P	70	112	p
11	17	DC1	^Q	31	49	1	51	81	Q	71	113	q
12	18	DC2	^R	32	50	2	52	82	R	72	114	r
13	19	DC3	^S	33	51	3	53	83	S	73	115	s
14	20	DC4	^T	34	52	4	54	84	T	74	116	t
15	21	NAK	^U	35	53	5	55	85	U	75	117	u
16	22	SYN	^V	36	54	6	56	86	V	76	118	v
17	23	ETB	^W	37	55	7	57	87	W	77	119	w
18	24	CAN	^X	38	56	8	58	88	X	78	120	x
19	25	EM	^Y	39	57	9	59	89	Y	79	121	y
1A	26	SUB	^Z	3A	58	:	5A	90	Z	7A	122	z
1B	27	ESC		3B	59	;	5B	91	[	7B	123	{
1C	28	FS		3C	60	<	5C	92	\	7C	124	|
1D	29	GS		3D	61	=	5D	93	]	7D	125	}
1E	30	RS		3E	62	>	5E	94	^	7E	126	~
1F	31	US		3F	63	?	5F	95	_	7F	127	DEL

اختبار ذاتي

١. أوجد القيمة المكافئة للمعادلة Y

$$Y = 3.10^4 + 6.10^3 + 7.10^1 + 9.10^0$$

٢. حول الأرقام التالية من النظام الثنائي إلى النظام العشري:

أ - 11011
ب - 110011
ت - 101010
ث - 11110000

٠٣ القيمة العشرية للعدد الثنائي 11110001 هي:

أ - 239
ب - 141
ت - 241
ث - 124

٠٤ حول الأرقام التالية من النظام العشري إلى النظام الثنائي:

أ - 25
ب - 31
ت - 89
ث - 254

٠٥ القيمة الثنائية للعدد العشري 249 هي:

أ - 11000111
ب - 10011111
ت - 11001100
ث - 11111001

٠٦ حول كلاً من الأرقام التالية من النظام الثنائي إلى النظام العشري:

أ - 11111000.11
ب - 11111111.111
ت - 10000001. 101

٠٧ أوجد الأرقام الثنائية التي تتواجد بين:

أ - 0 و 31
ب - 70 و 95

٠٨ حول كلاً من الأرقام التالية من النظام العشري إلى النظام الثنائي:

أ - 25.75
ب - 255.9875
ت - 0.97

٠٩ حول كلاً من الأرقام التالية من النظام العشري إلى النظام الست عشري:

أ - 80
ب - 255
ت - 9432
ث - 4039

١٠ حول كلٍ من الأرقام التالية من النظام الست عشري إلى النظام عشري:

أ - 80
ب - 9C2
ت - FFFF
ث - 4500

١١ حول كلاً من الأرقام التالية من النظام الست عشري إلى النظام الثنائي:

أ - 25
ب - 9D`
ت - ABCD
ث - A9B8

١٢ حول كلاً من الأرقام التالية من النظام الثنائي إلى النظام الست عشري:

أ - 1011101
ب - 11111111
ت - 1010101010
ث - 110000111100

٠١٣ حول الأرقام التالية إلى نظام BCD.

أ - 12
ب - 45
ت - 99
ث - 125
ج - 255
ح - 24

٠١٤ حول كلاً من الأرقام التالية من نظام BCD إلى النظام العشري

أ - 1001
ب - 10011001
ت - 100110011
ث - 11001

٠١٥ حول كلاً من الأرقام العشرية التالية إلى شفرة ASCII

أ - 2
ب - 31
ت - 255
ث - 3425

٠١٦ أوجد الحروف المتعلقة بكلٍ من شفرات ASCII التالية:

أ - 0110110
ب - 0111110
ت - 0111111

٠١٧ حول أمر البرنامج التالي إلى ASCII

50 Print AB= ''35''

دوائر رقمية

الوظائف المنطقية الرقمية

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على مختلف البوابات الأساسية والثانوية لغرض بناء جداول حقيقتها ومعرفة رموزها.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. التعرف على وظيفة البوابات الأساسية .
٢. التعرف على وظيفة البوابات الثانوية .
٣. التعرف على رموز البوابات .
٤. معرفة بناء جدول حقيقة أي بوابة .
٥. التعرف على الدوائر التكاملية التي تحتوي على هذه البوابات.

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٩٠٪

الوقت المتوقع للتدريب:

ست ساعات .

الوسائل المساعدة:

التدريبات العملية .

متطلبات الوحدة:

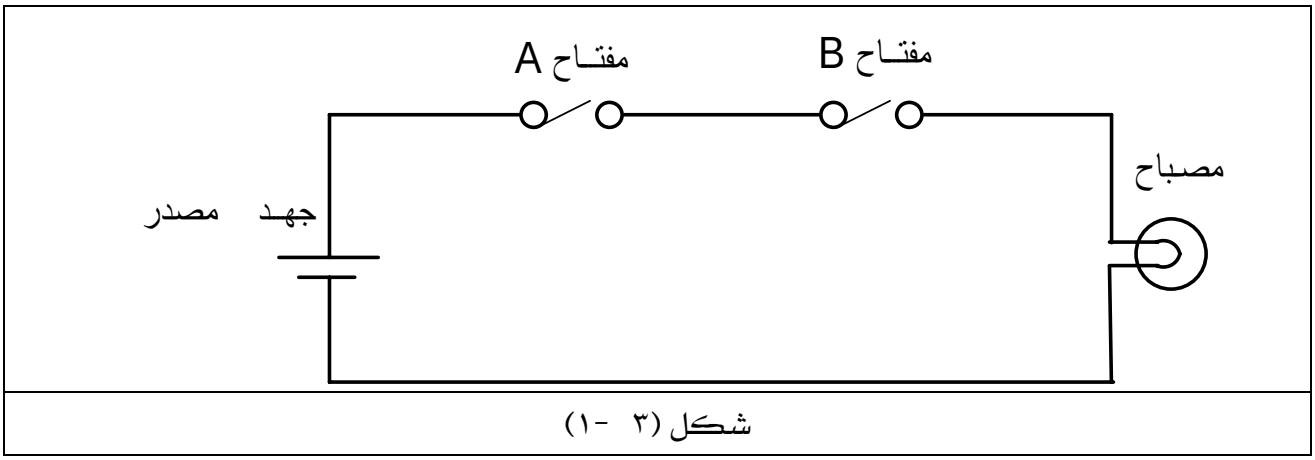
اجتياز الوحدات السابقة .

البوابات المنطقية Logic Gates

الدوائر الرقمية تميز بين حالتين فقط وهما إما وجود فولتيه عالية High أو فولتيه منخفضة Low ، أي إما سريان التيار الكهربي (حالة ON) أو عدم سريان التيار الكهربي (حالة OFF). لهذا السبب تم استخدام النظام الثنائي لكونه يستخدم رمزين فقط. فالرقم 1 يقابل High أو ON والرقم 0 يقابل Low أو OFF .

٣ -١ بوابة "و" 'Gate AND'

بوابة AND تسمى بوابة "كل شيء أو لا شيء" والشكل (٣ -١) يُمَثِل فكرة البوابةAND .



شكل (٣ -١)

في هذه الدائرة نلاحظ أن المصباح يُضيء فقط عندما يكون كلا المفتاحين A , B موصلين.
والجدول التالي يمثل الحالات الممكنة للدخلين A , B ويسمى هذا الجدول
جدول الحقيقة Truth Table

الخرج	الدخل	
حالة المصباح	B	A
OFF	OFF	OFF
OFF	ON	OFF
OFF	OFF	ON
ON	ON	ON

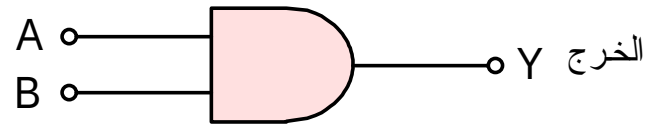
جدول (٣ -١)

الدائرة السابقة تمثل فكرة عمل بوابة AND فهي تعطي الخرج ON أو High أو 1 إذا كانت جميع المداخل ON أو عند المستوى المنطقي 1.

يبين الشكل (٣ -٢) الرمز المستخدم لبوابة AND ذات مدخلين وجدول الحقيقة

الخرج	الدخل	
Y	B	A
0	0	0
0	1	0
0	0	1
1	1	1

جدول (٣ -٢)



بوابة AND

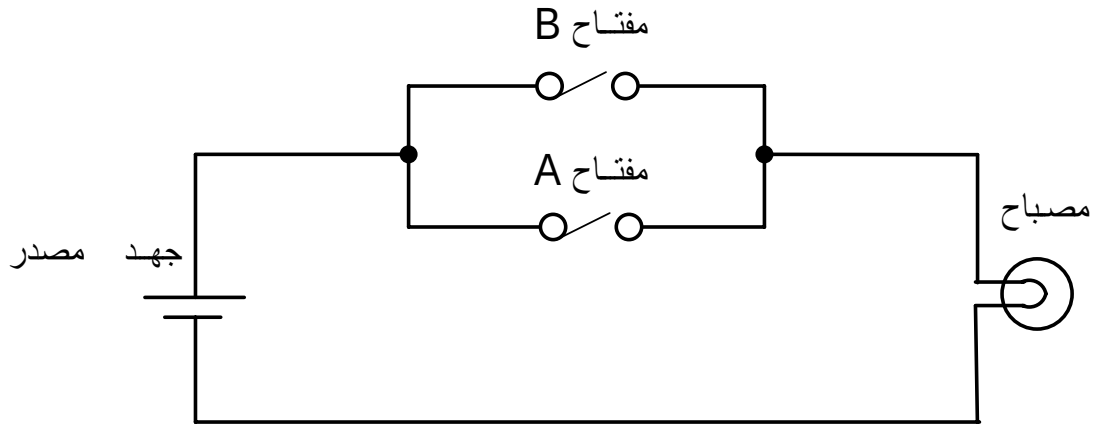
Y=AB

وتقرأ Y=A AND B

شكل (٣ -٢)

٣ -٢ بوابة "أو" 'Gate OR'

الدائرة الكهربية التالية (شكل ٣ -٣) توضح فكرة عمل بوابة "أو"OR ، فكما نلاحظ أن المصباح يُضيء في جميع الحالات إلا في حالة كون المفتاحين A , B غير موصلين (OFF) في نفس الوقت.



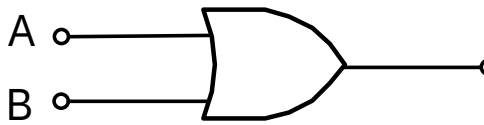
شكل (٣ -٣)

يبين الجدول التالي كل الحالات الممكنة للمفتاحين A , B

الخرج	الدخل	
حالة المصباح	B	A
OFF	OFF	OFF
ON	ON	OFF
ON	OFF	ON
ON	ON	ON

جدول (٣ -٣)

الشكل(٣ -٤) يبين الرمز المستخدم للبوابة OR مع جدول الحقيقة



بوابة OR

Y=A+B

وتقرأ Y=A OR B

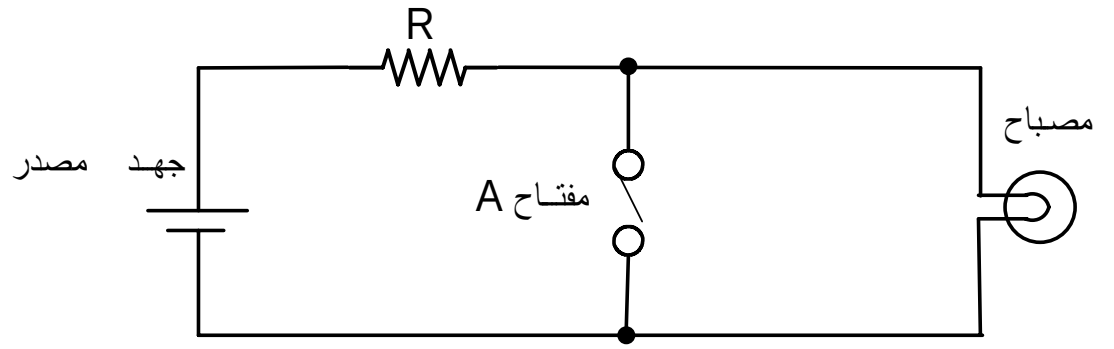
الخرج	الدخل	
Y	B	A
0	0	0
١	1	0
١	0	1
1	1	1

جدول (٣ -٤)

شكل(٣ -٤)

٣ -٣ بوابة النفي NOT

يمكن تمثيل بوابة NOT بالدائرة ة في الشكل (٣ -٥)



شكل (٣ -٥)

فمن هذه الدائرة نرى أن الخرج (حالة المصباح تكون عكس الدخل، فالمصباح يضيء عندما يكون المفتاح A غير موصل).

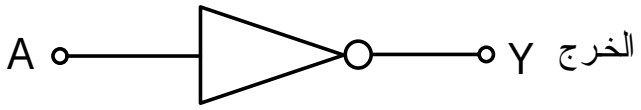
الخرج	الدخل
حالة المصباح	A
ON	OFF
OFF	ON

جدول (٣ -٥)

الشكل (٣ -٦) يبين الرمز المستخدم لتمثيل بوابة NOT مع جدول الحقيقة.

الخرج	الدخل
Y	A
1	0
0	1

جدول (٣ -٦)



بوابة OR

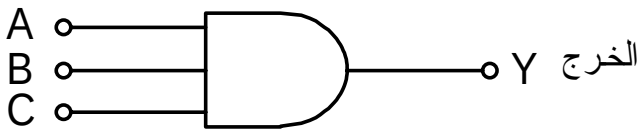
$Y = \overline{A}$

شكل (٣ -٦)

مثال١:

استنتج جدول الحقيقة لبوابة AND ذات ثلاثة مداخل؟

الحل:



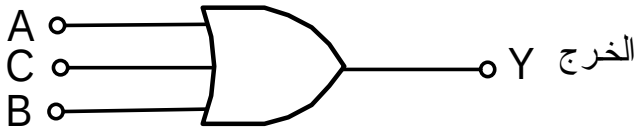
علينا أن نضع جميع الاحتمالات الممكنة للمداخل، عدد هذه الاحتمالات تكون 2 مرفوعة لقوة تساوي عدد المداخل:

عدد الحالات $= 2^3 = 8$

الخرج	الدخل		
Y	C	B	A
0	0	0	0
0	1	0	0
0	0	1	0
0	1	1	0
0	0	0	1
0	1	0	1
0	0	1	1
1	1	1	1

مثال٢ :

استنتج جدول الحقيقة لبوابة OR ذات الثلاث مداخل ؟



الحل:

عدد الحالات $= 2^3 = 8$

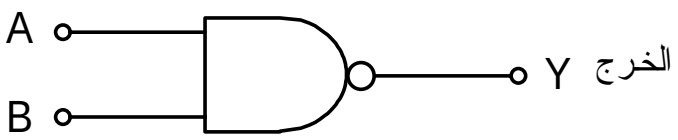
الدخل			الخرج
A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

٣ -٤ بوابة ''نفي و'' NAND Gate

عمل هذه البوابة هو عكس بوابة AND ، والشكل (٣ -٧) يُعطي الرمز المستخدم لبوابة NAND مع جدول الحقيقة.

الخرج	الدخل	
Y	B	A
١	0	0
١	1	0
١	0	1
٠	1	1

جدول (٣ -٧)



بوابة NAND

$Y = \overline{A.B}$

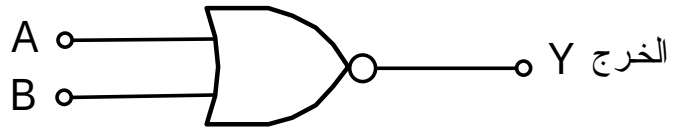
شكل (٣ -٧)

٣ -٥ بوابة ''نفي أو'' NOR Gate

خرج هذه البوابة هو عكس بوابة OR ، والشكل (٣ -٨) يُعطي الرمز المستخدم لبوابة NAND NOR مع جدول الحقيقة.

الخرج	الدخل	
Y	B	A
١	0	0
٠	1	0
٠	0	1
٠	1	1

جدول (٣ -٨)



بوابة NOR

$Y = \overline{A + B}$

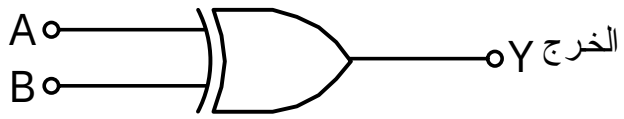
شكل (٣ -٨)

٣ -٦ بوابة أو الحصرية Exclusive OR Gate (XOR)

هذه البوابة تعطي خرج "1" عندما يكون هناك عدد فردي من المداخل التي عند المستوى المنطقي "1" وما عدا ذلك يكون الخرج "0" ، والشكل (٣ -٩) يُعطي الرمز المنطقي المستخدم لبوابة XOR مع جدول الحقيقة.

الخرج	الدخل	
Y	B	A
0	0	0
١	1	0
١	0	1
٠	1	1

جدول (٣ -٩)

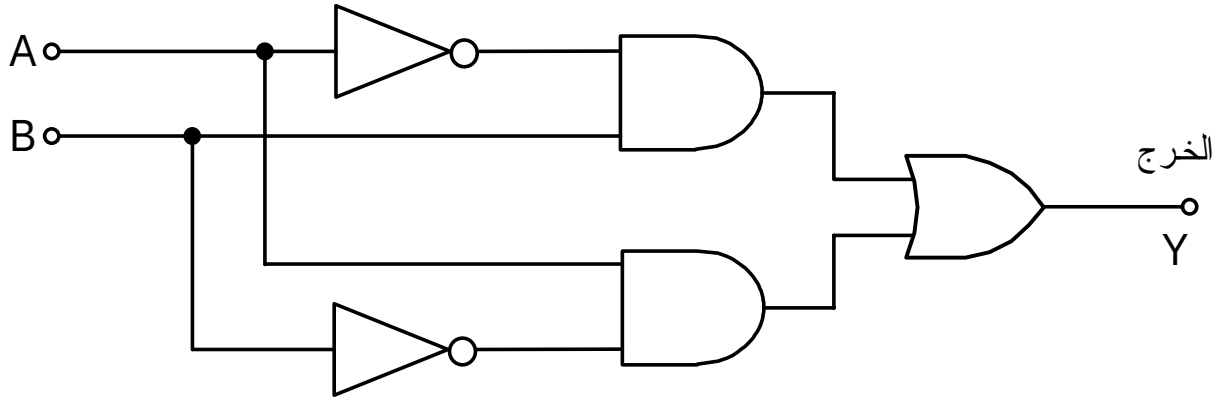


بوابةXOR

$Y = A \oplus B$

شكل (٣ -٩)

البوابة XOR يمكن تجميعها من البوابات الأساسية.



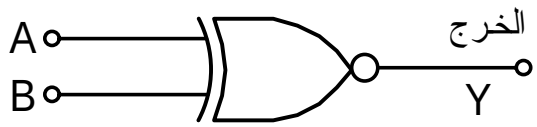
شكل (٣ -١٠)

٣ -٦ بوابة أو غير الحصرية Exclusive NOR Gate (XNOR)

بوابة XNOR تعمل عكس بوابةXOR السابقة فهي تعطي خرج "1" عندما يكون عدد المداخل التي عند المستوى المنطقي "1" زوجي وما عدا ذلك يكون الخرج "0" ، والشكل (٣ -١٠) يُعطي الرمز المنطقي المستخدم لبوابة XNOR مع جدول الحقيقة.

الخرج	الدخل	
Y	B	A
1	0	0
0	1	0
0	0	1
1	1	1

جدول (٣ -٩)



بوابةXNOR

$Y = \overline{A \oplus B}$

شكل (٣ -١١)

اختبار ذاتي

١. متى يكون الخرج High لبوابة AND ذات ثلاثة مداخل A، B ، C ؟

٢. متى يكون الخرج High لبوابة OR ذات ثلاثة مداخل A، B ، C ؟

٣. أوجد الإشارة على مخرج Y لبوابة NOT عندما يكون الدخل يساوي:
A=10101110110111

٤. أوجد سلسلة نبضات الخرج Y لبوابة AND ذات مدخلين A، B عندما يكون:
A=101011111011

B=111110000010

٥. أوجد الموجه على خرج بوابة NAND ذات مدخلين A، B في حالة:
A=1010101010

B=1010101010

٦. استنتج جدول حقيقة بوابة XOR ذات ثلاثة مداخل A، B ، C مع الخرج يساوي Y؟

٧. أوجد الدائرة المكافئة لبوابة XOR ذات مدخلين A، B بواسطة البوابات الأساسية AND ، OR و NOT ؟

٨. أوجد الموجة على الخرج Y لبوابة XNOR ذات ثلاثة مداخل A، B ، C في حالة:
A=10111011 , B=10001000 , C=01110111

دوائر رقمية

وظائف الدوائر التجميعية

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على الدوائر التجميعية لغرض شرح وظائفها ومعرفة كيفية توصيل الدوائر التكاملية الخاصة بها.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. تعريف دوائر الجامع ، المقارن ، مجمع ومعدد القنوات .
٢. شرح وظيفة كلٍ من هذه الدوائر .
٣. معرفة توصيل الدوائر التكاملية التي تحتوي عليها هذه الوظائف .

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة ٩٠٪ .

الوقت المتوقع للتدريب:

ست ساعات .

الوسائل المساعدة:

التدريبات العملية

متطلبات الوحدة:

اجتياز الوحدات السابقة .

الدوائر التركيبية Combinational Logic

٤ -١ مقدمة :

الدوائر التركيبية تتكون من بوابات منطقية يتوقف خرجها على المستويات المنطقية للدخل، وعامةً فإن هدف المصممين الأخير هو الانتقال بالدائرة من مرحلة المخطط إلى مرحلة توصيل البوابات المختلفة معاً وفي هذه الحالة لن يحتاج التصميم إلا إلى المعادلة المنطقية المبسطة المعبرة.

٤ -٢ الجامع Adder:

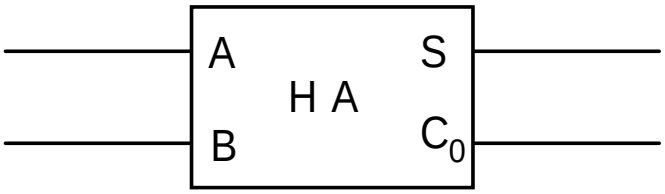
يؤدي الكمبيوتر الرقمي كثيراً من المعالجات المختلفة للمعلومات لتحقيق أهداف مختلفة ومن بين الوظائف الحسابية التي يتم إجراؤها بواسطة الكمبيوتر عملية جمع رقمين ثنائيين، وهذا الجمع البسيط يتكون من أربعة عمليات أساسية وهي بالتحديد :

$$0+1=0$$
$$0+1=1$$
$$1+0=1$$
$$1+1=10$$

٤ -٢ -١ الجامع النصفي Half Adder

هي دائرة منطقية تقوم بجمع رقمين ثنائيين عند المداخل وتُعطي خرجين هما المجموع (Sum) والمرحل (Carry) كما هو موضح في الشكل التالي شكل (٤ -١):

الرمز المنطقي



شكل (٤ -١أ)

جدول الحقيقة

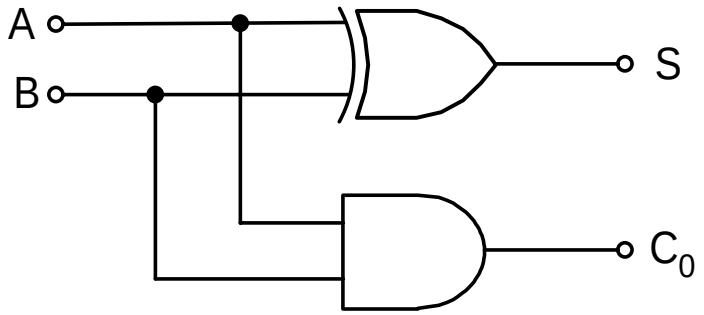
A	B	C_0	S
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

جدول (٤ -١)

من الأداء المنطقي للجامع النصفي الموضح في جدول الحقيقة السابق يمكن استنتاج المعادلان المنطقيان لحاصل الجمع (S) والمرحل (C_0) كدوال في متغيرات الدخل.

$$S = \overline{A}B + A\overline{B} = A \oplus B$$
$$C_o = AB$$

تنفيذ معادلتي المجموع والمرحل:



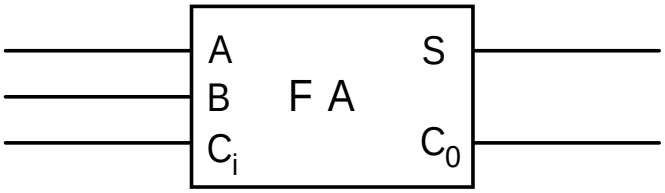
شكل (٤ -١ب)

٤ -٢ -٢ الجامع الكلي Full Adder

تتقبل دائرة الجامع الكلي ثلاث مداخل وتُعطي خرجين هما المجموع والمرحل ، لذا فإن الفرق الأساسي بين دائرة الجامع النصفي و دائرة الجامع الكلي هو أن دائرة الجامع الكلي لها مدخل إضافي هو المرحل السابق (C_i)

كما هو موضح بالشكل التالي:

الرمز المنطقي



شكل (٤ -٢أ)

جدول الحقيقة

A	B	C_i	C_0	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

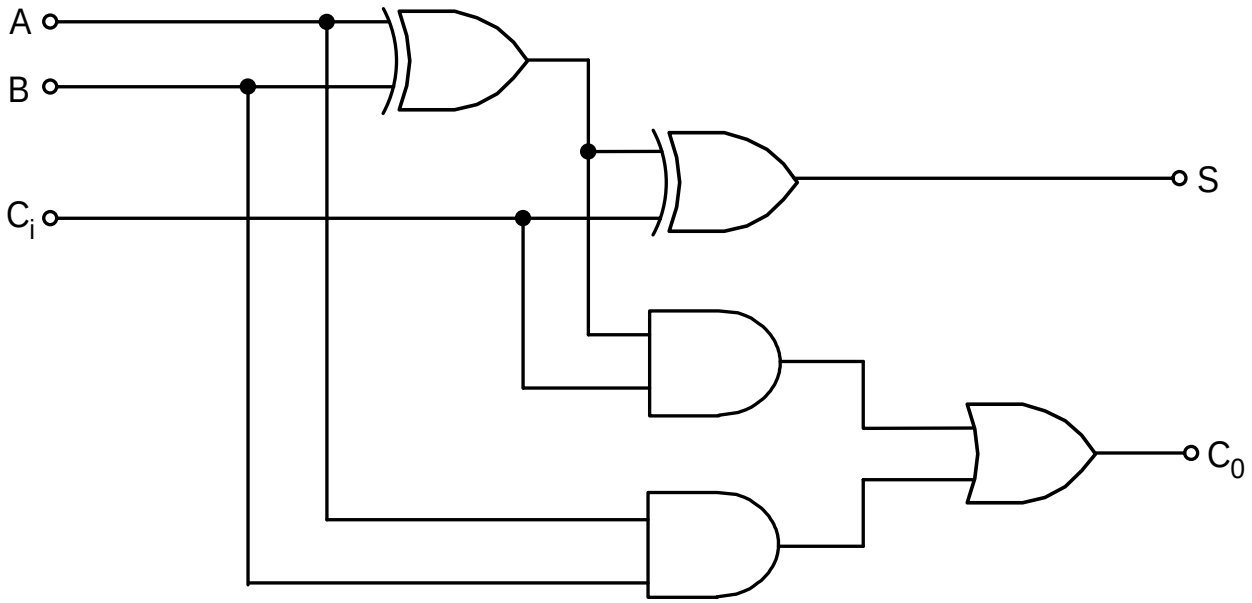
جدول (٤ -٢)

يمكن استنتاج المعادلات المنطقية لخرج الجامع الكلي كما يلي:

$$S = A \oplus B \oplus C_i$$

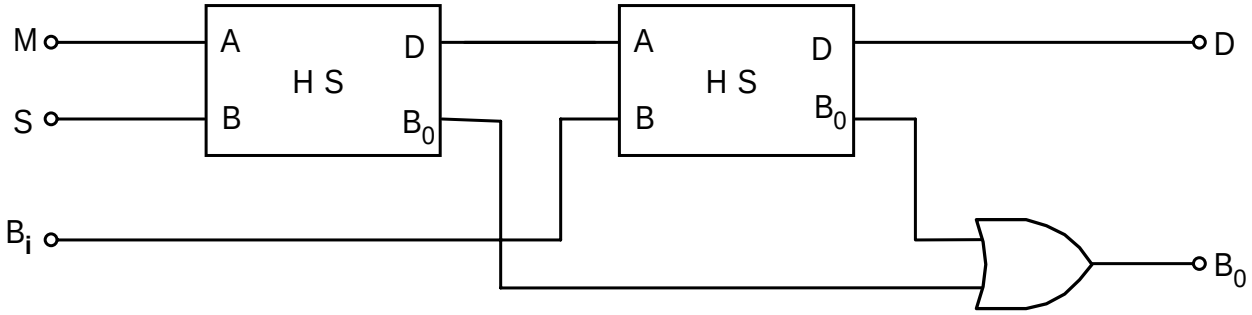
$$C_o = AB + (A + B)C_i$$

تنفيذ معادلتي المجموع والمرحل



شكل (٤ -٢ب)

تنفيذ الجامع الكلي باستخدام دائرة الجامع النصفي وبوابة OR:



شكل (٤ -٢ج)

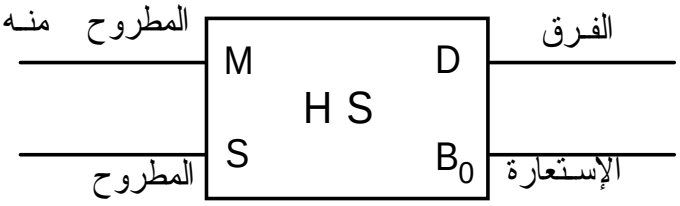
٤ -٣ الطارح Subtractor

من الممكن إجراء عملية الطرح بتحويلها إلى عملية جمع بطريقة معينة ولكن هنا (أي باستخدام الطارح)يمكن الطرح بطريقة مباشرة أي كما نطرح باستخدام الورقة والقلم ، وعليه فإن كل خانة من خانات المطروح تطرح من الخانة المناظرة للمطروح منه وحاصل الطرح هو الفرق بينهما ، فإذا كان المطروح أكبر من المطروح منه فتحدث عملية استلاف من الخانة المجاورة.

٤ -٣ -١الطارح النصفي Half Subtractor

هي دائرة منطقية تقوم بطرح رقمين ثنائيين عند المداخل وتعطي خرجين هما الفرق (Difference) والاستعارة (Borrow) كما هو موضح في الشكل التالي:

الرمز المنطقي



شكل (٤ -٣أ)

جدول الحقيقة

M	S	D	B_0
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

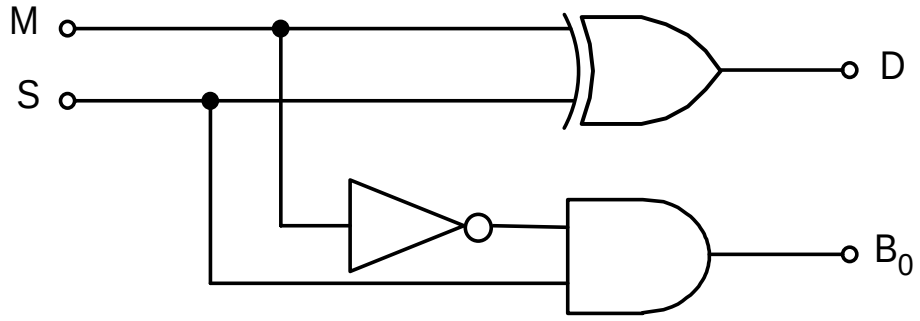
جدول (٤ -٣)

من الأداء المنطقي للطارح النصفي الموضح في جدول الحقيقة يمكن استنتاج المعادلات المنطقية لخرج الفرق (D) ، والاستعارة (B_0) كدوال في متغيرات الدخل.

$$D = \overline{M}S \oplus M\overline{S} = M \oplus S$$

$$B_o = \overline{M}S$$

تنفيذ معادلتي الفرق والاستعارة

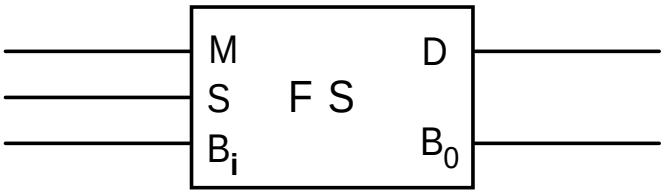


شكل (٤ -٣ب)

٤ -٣ -١الطارح الكلي Full Subtractor

تستقبل دائرة الطارح الكلي ثلاثة مداخل وتولد خرج الفرق وخرج الاستعارة كما هو موضح بالشكل التالي :

الرمز المنطقي



شكل (٤ -٤أ)

جدول الحقيقة

M	S	B_i	D	B_0
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
0	1	1	0	1
1	0	0	1	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

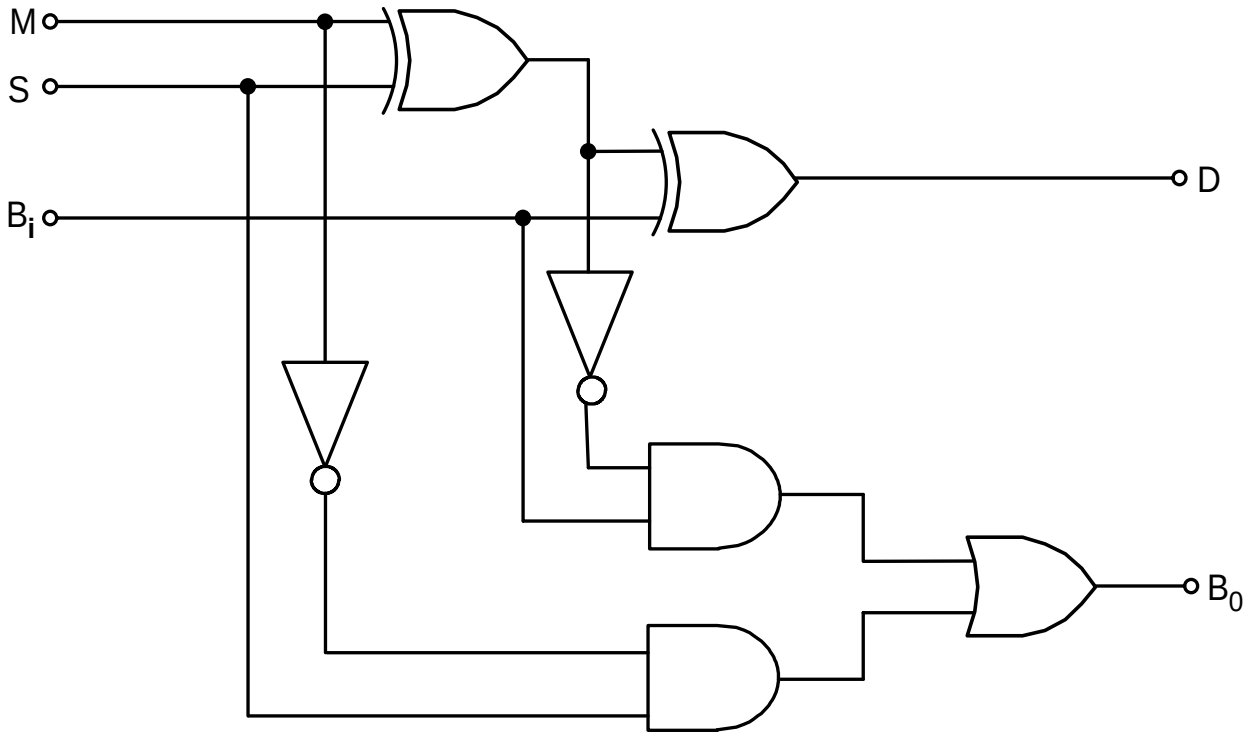
جدول (٤ -٤)

يمكن استنتاج المعادلات المنطقية لخرج الطارح الكلي كما يلي:

$$D = M \oplus S \oplus B_i$$

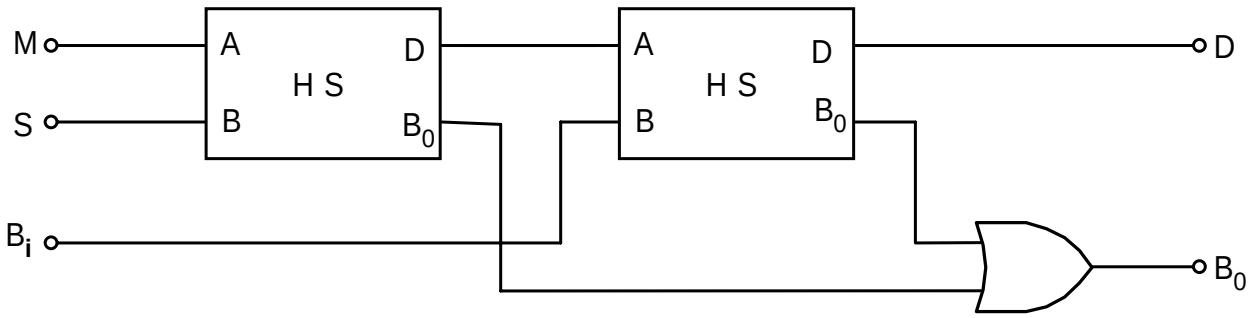
$$B_o = B_i + (M \oplus \overline{S})MS$$

التنفيذ باستخدام البوابات المنطقية



شكل (٤ -٤ب)

التنفيذ باستخدام دائرة الطارح النصفي



شكل (٤ -٤ج)

٤ -٤ المقارن الرقمي Digital Comparator

هو أحد الدوائر التركيبية التي تقوم بالمقارنة بين كلمتين " عددين " ثنائيين من حيث حالة أكبر من أو أصغر من أو حالة التساوي للعددين (A>B , A<B , A=B)

الرمز المنطقي

شكل (٤ -٥أ)

جدول الحقيقة

A	B	X A=B	Y A<B	Z A>B
0	0	1	0	0
0	1	0	1	0
1	0	0	0	1
1	1	1	0	0

جدول (٤ -٥)

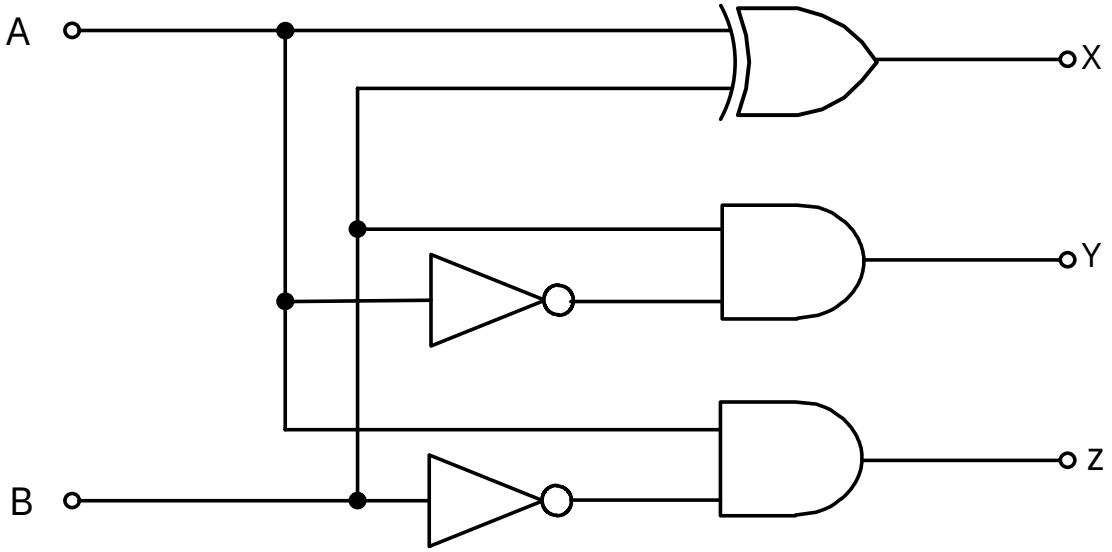
ومن الجدول نستنتج المعادلات التالية:

$$X = \overline{A}\overline{B} + AB = \overline{A \oplus B}$$

$$Y = \overline{A}B$$

$$Z = A\overline{B}$$

ومن المعادلات السابقة يمكن تمثيل المقارن الرقمي بالدائرة التالية:



شكل (٤ -٥ب)

٤ -٥ الشفرات الرقمية Digital Codes

إن الشفرة الرقمية هي عبارة عن أرقام ثنائية تكتب بطريقة معينة لتمثل الأرقام في نظم العد الأخرى ، وتوجد عدة أنواع من الشفرات الرقمية من أهمها الشفرة الثنائية العشرية Binary Coded Decimal (B C D 8421) وفيها يتم تمثيل كل رقم (9 ⟵ 0) بواسطة أربع خانات ثنائية أوزانها (8421).

والجدول التالي يوضح تمثيل بعض الأعداد العشرية بواسطة الشفرة الثنائية العشرية.

العدد العشري	الشفرة B C D (8421)
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

جدول (٤ -٦)

مثال١:

حول العدد العشري 32.84 إلى مكافئه من شفرة BCD

الحل:

عشري	3	2	٠	8	4
BCD	0011	0010	٠	1000	0100

مثال٢:

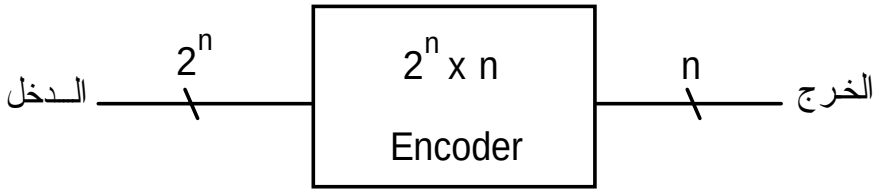
حَول العدد 01110001.00001000 BCD إلى عدد عشري

الحل:

BCD	0111	0001	٠	0000	1000
عشري	7	1	٠	0	8

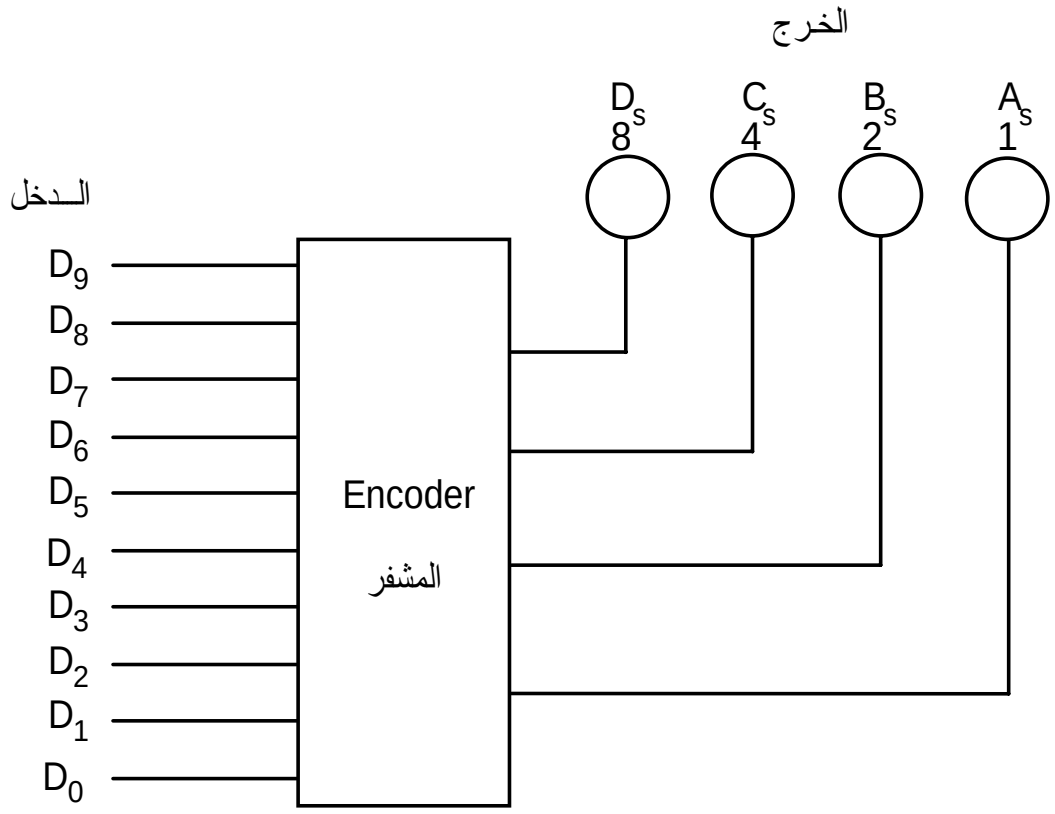
٤ -٥ -١ المشفر Encoder

المشفر هو عبارة عن دائرة تركيبية لها عدد (2^n) أو أقل من أطراف الدخل ولها عدد (n) من أطراف الخرج كما هو مبين بالشكل التالي وخطوط الخرج تولد الشفرة (الكود الثنائي) لمتغيرات الدخل.



شكل (٤ -٦أ)

ويبين الشكل التالي المخطط الصندوقي لمشفر ذي عشرة أطراف عند الدخل أربعة أطراف عند الخرج (المشفر من عشري إلى BCD)



شكل (٤ -٦ب)

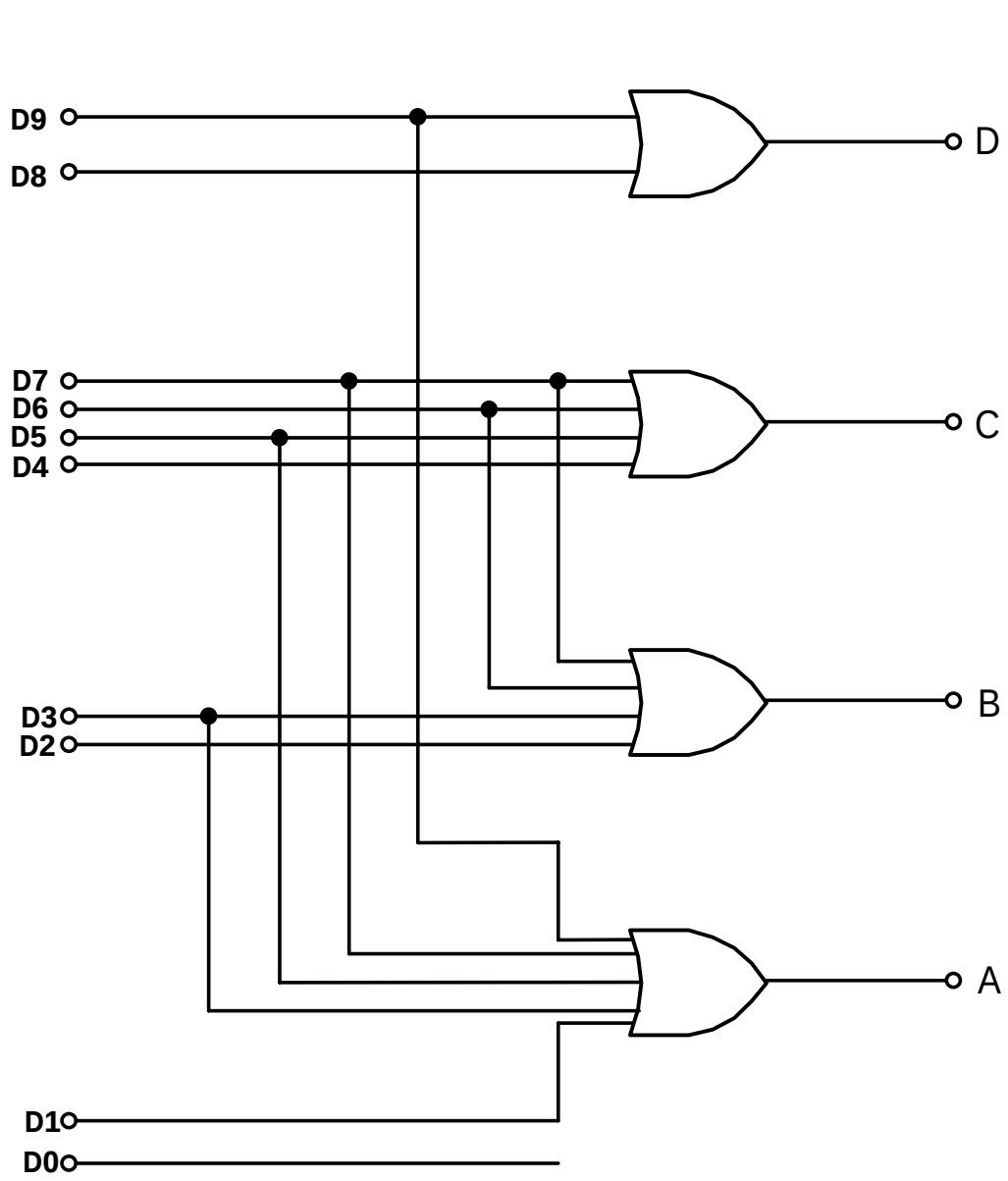
ويمكن تكوين جدول الحقيقة للمشفر من عشري إلى شفرة BCD من علاقة متغيرات الدخل بمتغيرات الخرج كما هو موضح بالجدول التالي:

الدخل										الخرج			
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	D_8	D_9	D	C	B	A
1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	0	0	0	0	0	1
0	0	1	0	0	0	0	0	0	0	0	0	1	0
0	0	0	1	0	0	0	0	0	0	0	0	1	1
0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	0	1	0	0	0	0	0	1	0	1
0	0	0	0	0	0	1	0	0	0	0	1	1	0
0	0	0	0	0	0	0	1	0	0	0	1	1	1
0	0	0	0	0	0	0	0	1	0	1	0	0	0
0	0	0	0	0	0	0	0	0	1	1	0	0	1

جدول (٤ -٧)

ويبين جدول الحقيقة السابق أن خرج المشفر يبين الأرقام من (0)إلى (9) في الصورة الثنائية بينما يمثل دخل المشفر متغيرات وعددها عشرة، وكل منها يحتوي على بتات من (D_0) إلى(D_9).

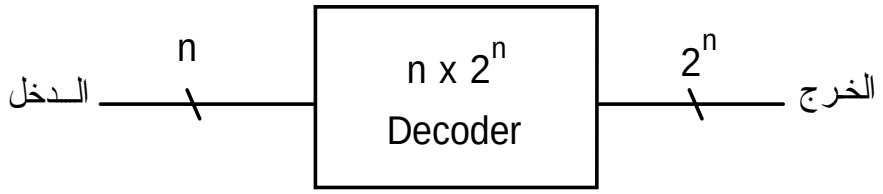
ويمكن تكوين المشفر ذي عشرة أطراف عند الدخل ولأربعة أطراف عند الخرج بعدد أربع بوابات "أو" المنطقية كما بالشكل التالي:



شكل (٤ -٦ج)

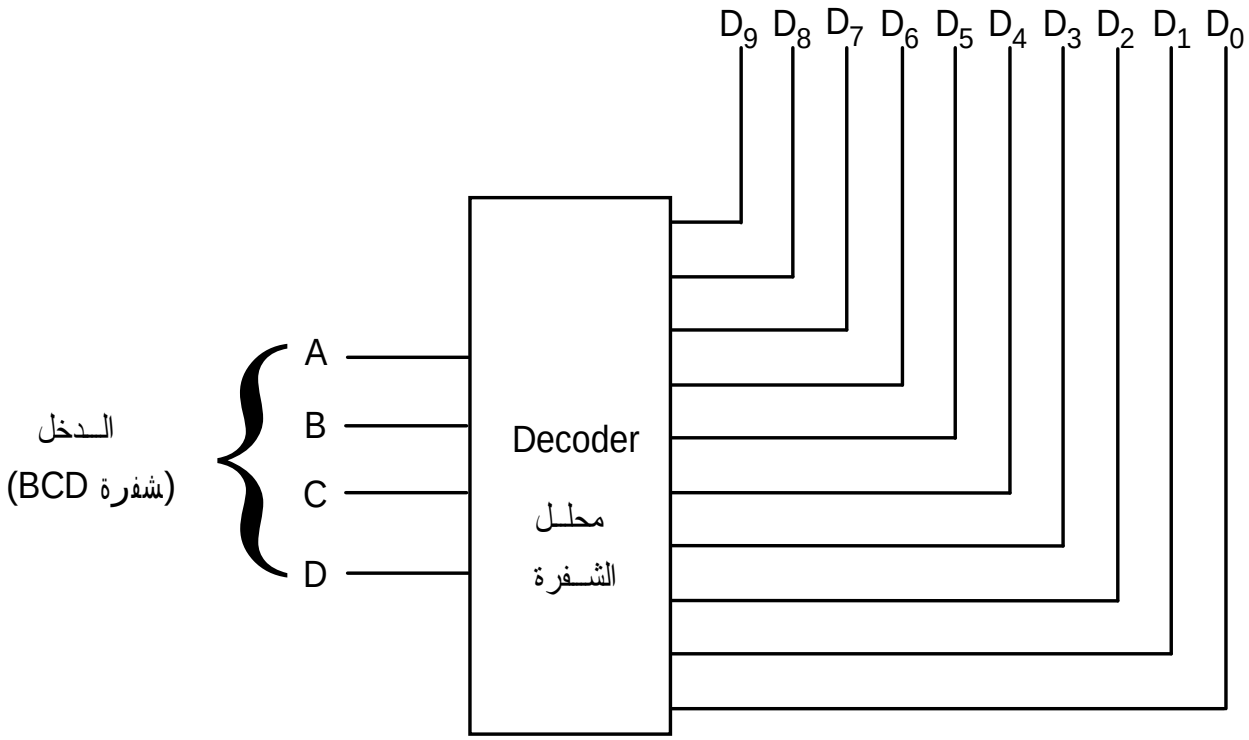
٤ -٥ -٢ محلل الشفرة Decoder

محلل الشفرة يقوم بالعملية العكسية للمشفر وهو عبارة عن دائرة تركيبية تُحول المعلومات التي في صورة ثنائية من عدد (n) من أطراف الدخل إلى (2^n) أو أقل من أطراف الخرج كما بالشكل التالي:



شكل (٤ -٧أ)

وعلى سبيل المثال يبين الشكل التالي المخطط الصندوقي لمحلل شفرة ذي أربعة أطراف عند الدخل وعشرة أطراف عند الخرج (التحويل من شفرة BCD إلى النظام العشري).



شكل (٤ -٧ب)

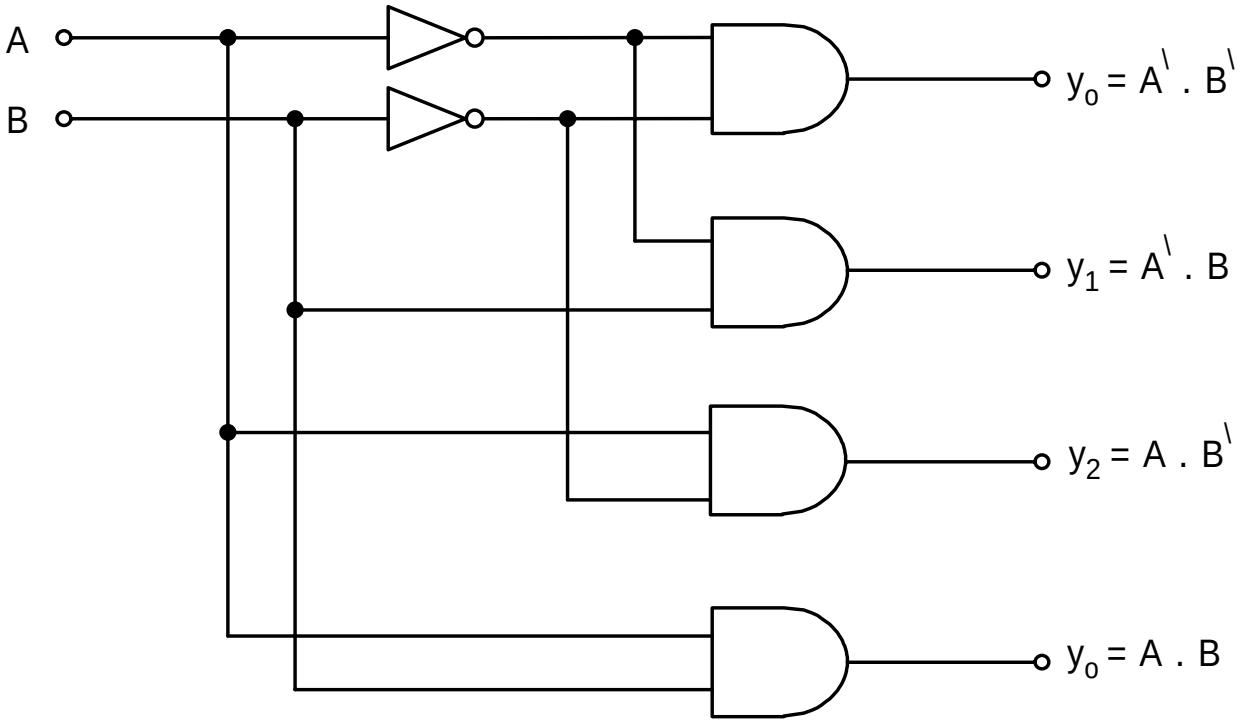
ويمكن تكوين جدول الحقيقة لمحلل الشفرة من العلاقة بين الدخل والخرج كالآتي:

الدخل				الخرج									
D	C	B	A	D_9	D_8	D_8	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0
0	0	1	0	0	0	0	0	0	0	0	1	0	0
0	0	1	1	0	0	0	0	0	0	1	0	0	0
0	1	0	0	0	0	0	0	0	1	0	0	0	0
0	1	0	1	0	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	0	1	0	0	0	0	0	0
0	1	1	1	0	0	1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	0	0	0	0	0

جدول (٤ -٨)

ويلاحظ ظهور قيمة واحدة للخرج عند تواجد تجميعه معينة للدخل، ويمكن تكوين محلل شفرة ذي أربعة أطراف عند الدخل وعشرة أطراف عند الدخل وعشرة أطراف عند الخرج بعدد من دوائر "و" المنطقية ودوائر "لا" المنطقية.

والشكل التالي يوضح دائرة منطقية مكونة من بوابات "و" AND و"لا" NOT وهي تمثل محلل الشفرة Decoder لها طرفي دخل (A,B) ولها أربعة أطراف في الخرج وهي تُكافىء الأرقام العشرية من (0)إلى (3).



شكل (٤ -٧ج)

جدول الحقيقة الذي يعبر عن حالة محلل الشفرة(المفسر)

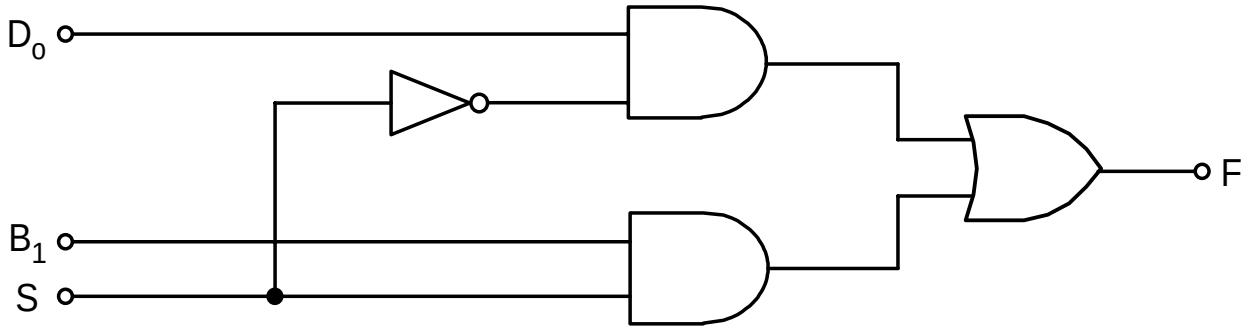
الدخل		الخرج			
A	B	Y_0	Y_1	Y_2	Y_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

جدول (٤ -٩)

٤ -٦ منتقى البيانات Multiplexer

هو أحد الدوائر المنطقية التركيبية ويكون شكل دائرة متكاملة IC ويتكون من عدة بوابات منطقية (AND,OR,NOT) ، ويمكن اعتبار منتقى البيانات هو العنصر الالكتروني المناظر للمفتاح الميكانيكي الدوار، وهو دائرة منطقية تختار المعلومات من خطوط المداخل ويكون عدد مداخلها اثنين أو أكثر ولها مخرج واحد وأطراف تحكم.

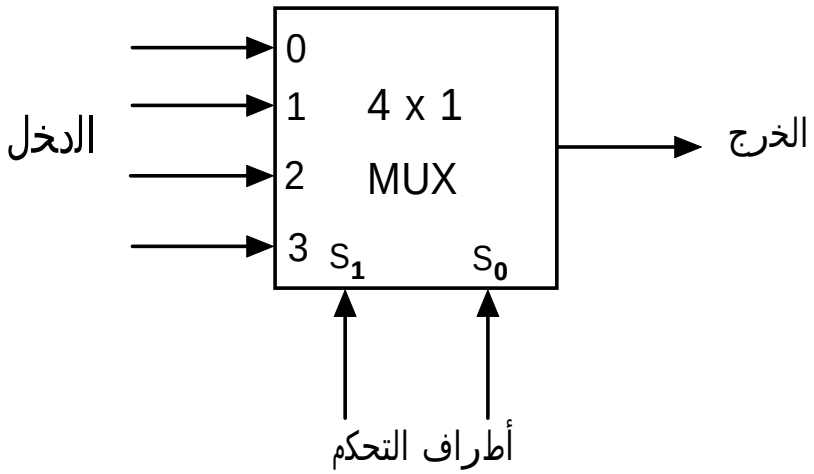
الدائرة المنطقية لمنتقى البيانات (1 × 2)



شكل (٤ -٨أ)

منتقى البيانات 4-TO-1 Multiplexer:

الرمز المنطقي



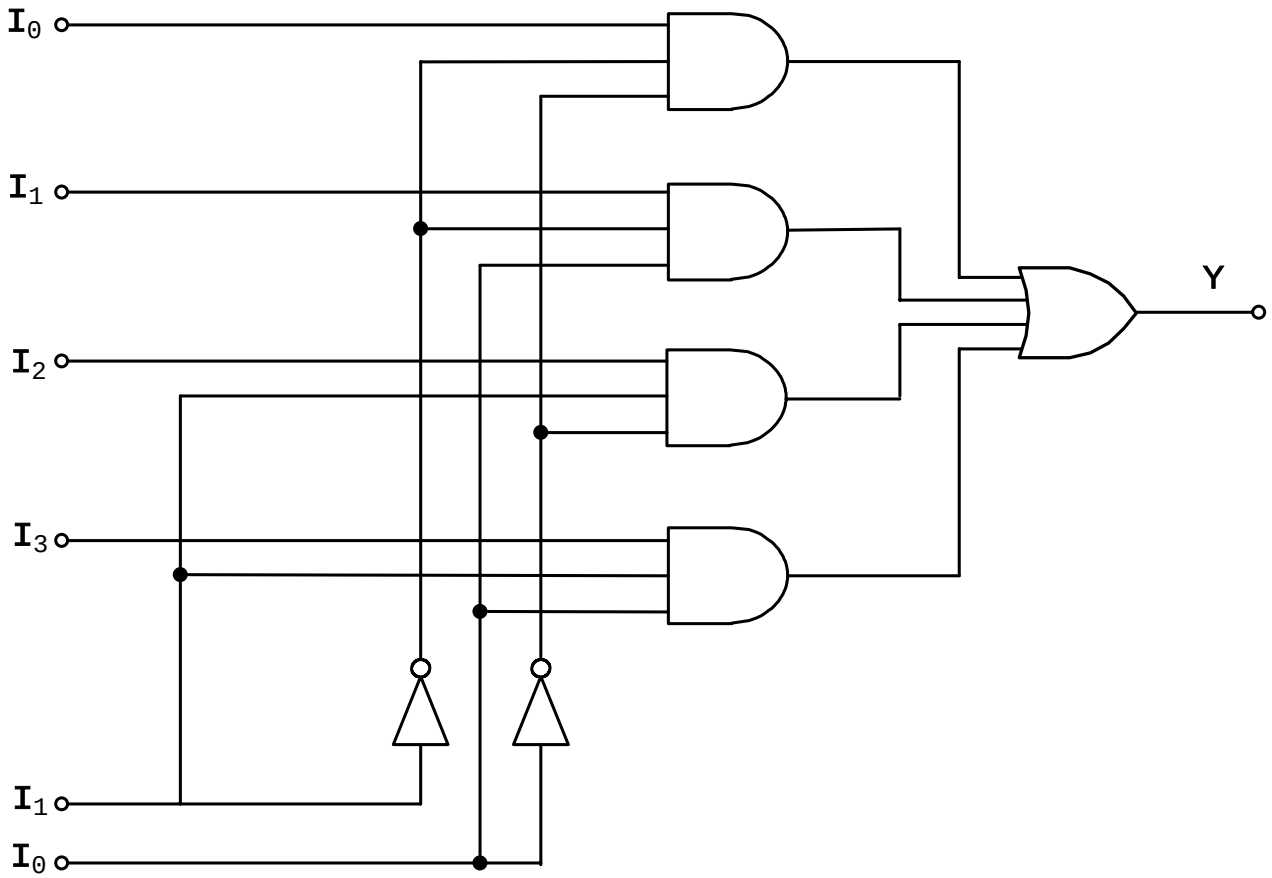
شكل (٤ -٨ب)

جدول الحقيقة لمنتقى البيانات (1 × 4)

S_1	S_0	Y
0	0	I_0
0	1	I_1
1	0	I_2
1	1	I_3

جدول (٤ -١٠)

الدائرة المنطقية لمنتقى البيانات (1 × 4)



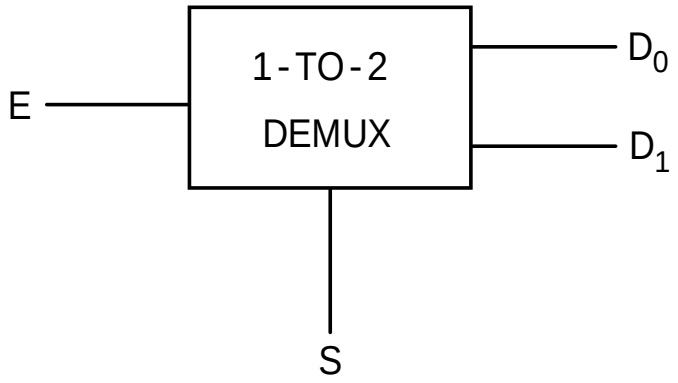
شكل (٤ -٨ج)

٣ -٧ موزع البيانات Demultiplexer

موزع البيانات هو دائرة منطقية لها مدخل يحمل بيانات وعدة مخارج يتم نقل البيانات إلى أي منها.

موزع البيانات 1-TO-2 Demultiplexer:

الرمز المنطقي



شكل (٤ -٩أ)

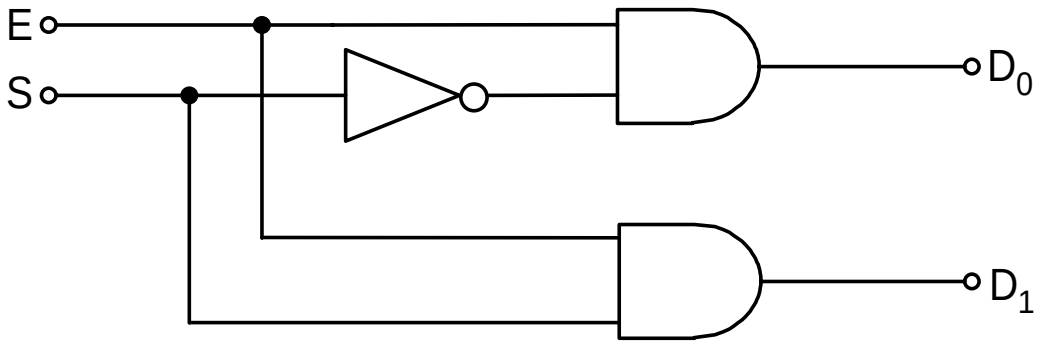
جدول الحقيقة

S_1	D_0	D_1
0	E	0
1	0	E

جدول (٤ -١١)

من جدول الحقيقة فإنه عندما تكون إشارة التحكم S في حالة Logic 0 فإن الإشارة تنتقل إلى الخرج D_0 . أما عندما تكون إشارة التحكم S في حالة Logic 1 فإن الإشارة تنتقل إلى الخرج D_1.

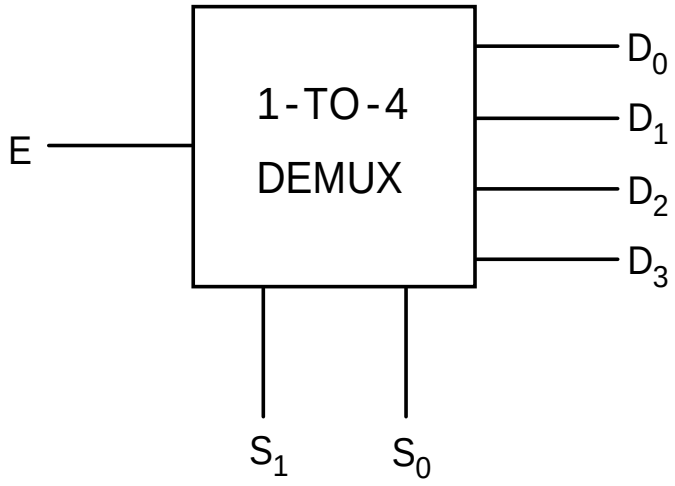
الدائرة المنطقية



شكل (٤ -٩ب)

موزع البيانات 1-TO-4 Demultiplexer:

الرمز المنطقي



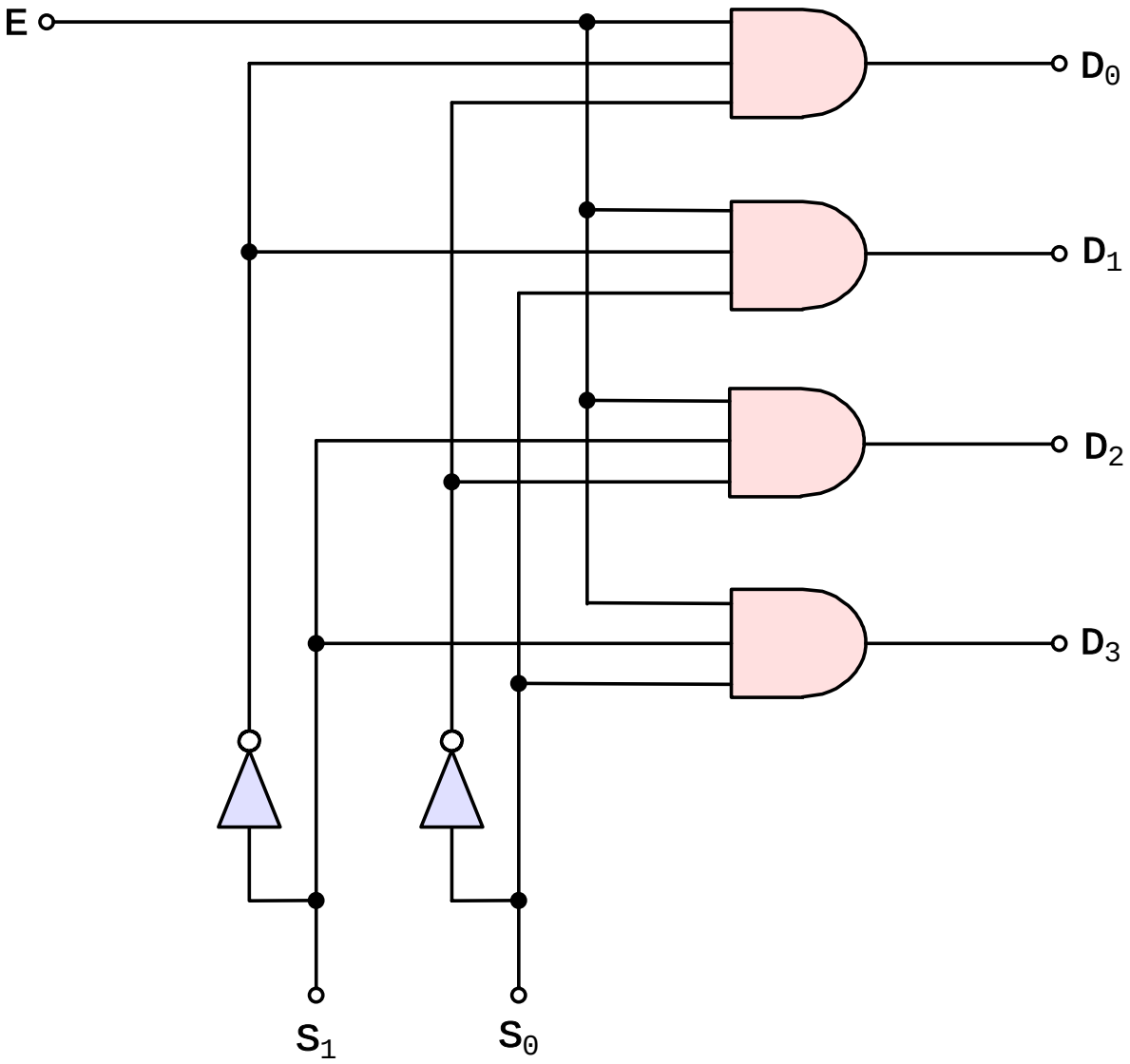
شكل (٤ -١٠أ)

جدول الحقيقة

S_1	S_0	D_0	D_1	D_2	D_3
0	0	E	0	0	0
0	1	0	E	0	0
1	0	0	0	E	0
1	1	0	0	0	E

جدول (٤ -٩)

الدائرة المنطقية



شكل (٤ -١٠ب)

اختبار ذاتي

١. ما هو عدد مداخل ومخارج الجامع النصفي Half adder ؟

٢. ما هو عدد مداخل ومخارج الجامع الكلي Full adder؟

٣. ما هي قيم مخارج الجامع الكلي S و C_{out} عندما تكون المداخل : $A=1$, $B=1$ $C_{in}=0$

٤. ما هو خرج المقارن الذي يكون High في حالة: $A=1001$, $B=1000$

٥. ما هو خرج مفسر الشفرة Decoder الذي يكون فعالاً عند إدخال القيمة $A_3A_2A_1A_0=1110$ على مداخله A_0، A_1 ، A_2 ، A_3 ؟

٦. ما هي المخارج الفعالة أو الأجزاء المضيئة لشاشة عرض 7 Segments عندما تكون مداخل مفسر الشفرة من BCD إلى 7 Segments تساوي : 1001 ؟

٧. ما هو عدد مداخل ومخارج Multiplexer ؟

٨. ما هو عدد مداخل ومخارج Demultiplexer ؟

٩. ما هي مخارج الجامع الكلي عندما تكون المداخل : $C_{in}=1$ ، $B=1$ ، $A=1$

١٠.لدينا مفك شفرة من BCD إلى 7 Segments ، ما هي الأرقام التي تظهر تعاقبياً على شاشة
7 Segments في حالة ما كانت المداخل كالتالي:

A_0 = 10111101

A_1 = 10110101

A_2 = 11110000

A_3 = 00110011

٠١١ ما هي قيم خرج منتقي البيانات Multiplexer ذوأربعة مداخل D_0، D_1، D_2، D_3 للبيانات ومدخلين للتحكم S_0 و S_1 عندما تكون المداخل $D_3 = 1$، $D_2 = 0$، $D_1 = 0$، $D_0 = 1$
وتكون $S_0 = 0$ و $S_1 = 1$ ؟

٠١٢ ما هو عدد خطوط تحكم منتقي البيانات Multiplexer عندما تكون عدد مداخل بياناته تساوي 64 ؟

٠١٣ما هو المدخل الذي نلقاه في خرج Multiplexer يحتوي على 128 مدخل للبيانات عندما تكون قيمة خطوط التحكم: $S_6S_5S_4S_3S_2S_1S_0$ = 1000111 ؟

٠١٤ على أي مخرج نلقى دخل موزع البيانات يحتوي على 32 مخرج عندما تكون خطوط التحكم $S_4S_3S_2S_1S_0$ = 01101 ؟

دوائر رقمية

دوائر القلابات

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على أنواع القلابات لغرض شرح وظيفة وتركيب جدول حقيقة كل واحد وإمكانية اختيار النوع الملائم لتصميم ما.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. شرح وظيفة القلاب RS، D، JK، T .
٢. تركيب جداول الحقيقة هذه القلابات .
٣. شرح المخططات الزمنية .

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٨٥٪

الوقت المتوقع للتدريب:

ست ساعات .

الوسائل المساعدة:

التدريبات العملية .

متطلبات الوحدة:

اجتياز الوحدات السابقة .

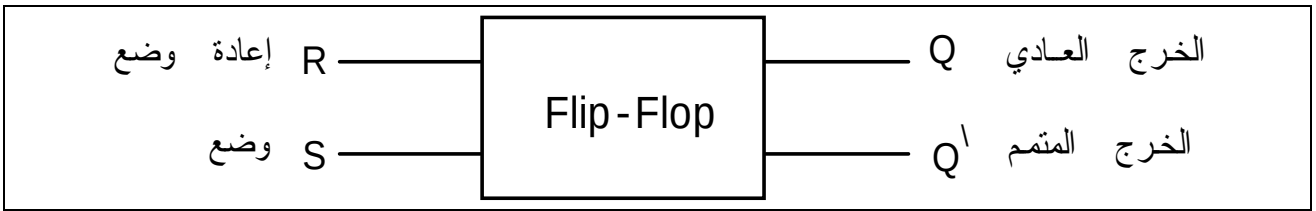
القلابات Flip-Flops

٥ -١مقدمة:

تحدثنا في الباب السابق عن الدوائر التركيبية، ويوجد نوع من الدوائر الرقمية عبارة عن دوائر تركيبية بالإضافة إلى عنصر ذاكرة تسمى الدوائر التتابعية Sequential Circuits وبينما كانت ركيزة البناء الأساسية في الدوائر التركيبية هي البوابات المنطقية التتابعية هي دائرة القلاب -Flip Flops ويعتمد الخرج في هذه الدوائر على الدخل والحالة التي يكون عليها عنصر الذاكرة.

٥ -٢ قلاب (R-S) غير المتزامن

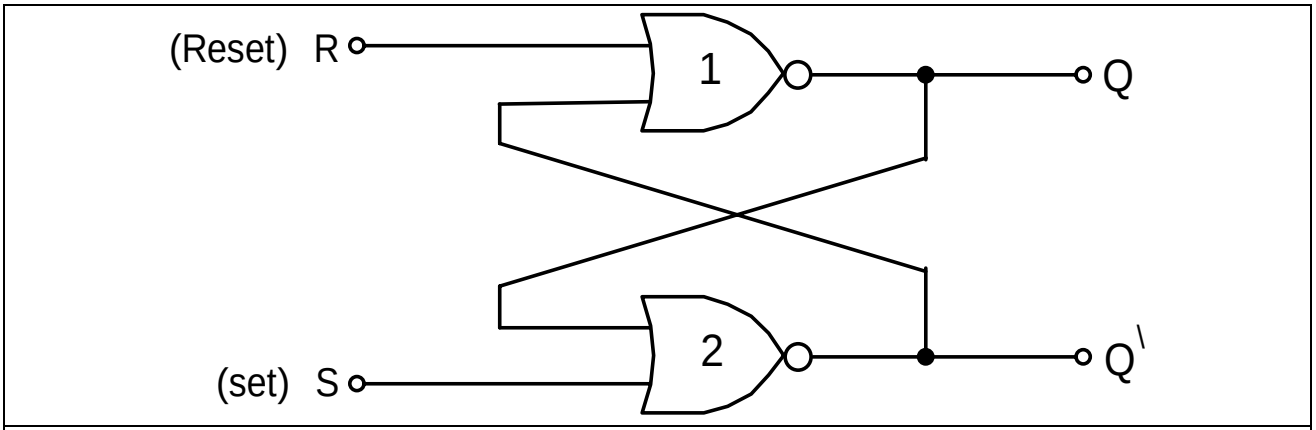
يبين الشكل التالي الرمز المنطقي لقلاب (R-S) غير المتزامن (بدون نبضة ساعة Clock pulse)



شكل (٥ -١أ)

ويمكن تكوين القلاب عن طريق بوابات (NOR أو NAND) وطريقة التوصيل لهذه البوابات تجعل خرج البوابة هو دخل للبوابة الأخرى.

الشكل التالي يوضح دائرة قلاب (R-S) باستخدام بوابة NOR.



شكل (٥ -١ب)

ومن المعلوم أن خرج بوابة الـ (NOR) يكون عند المستوى المنطقي (0) إذا كان أي من أطراف الدخل عند المستوى المنطقي (1). ويكون الخرج عند المستوى المنطقي (1) إذا كانت كل أطراف الدخل عند المستوى المنطقي (0).

وفيما يلي جدول الحقيقة لقلاب (R-S) باستخدام بوابة NOR.

ملاحظات	الخرج		الدخل	
	$\overline{Q}$	Q	R	S
وضع	0	1	0	1
التخزين	0	1	0	0
إعادة وضع	1	0	1	0
التخزين	1	0	0	0
غير معينة	0	0	1	1

جدول (٥ -١)

ويتضح من الجدول السابق الحقائق التالية:

١. في حالة توصيل الدخل (S) بالمستوى المنطقي (1) (عندما تكون $R=0$) فإن الخرج($\overline{Q}$) يكون عند المستوى المنطقي (0) ومن ثم يتسبب في جعل الخرج (Q) عند المستوى المنطقي (1) وتعرف هذه الحالة بـ (Set- State) أو حالة الوضع.

٢. في حالة توصيل الدخل (S) بالمستوى المنطقي (0) مع ثبات قيمة (R) عند المستوى المنطقي (0)

فإن الخرج (Q) لا يتغير وتبقى قيمته عند المستوى المنطقي (1) و الخرج ($\overline{Q}$) يكون عند المستوى المنطقي (0) وبالتالي لا يحدث لطرفي البوابة (1) أي تغيير ، وتُعرف هذه الحالة بحالة التخزين No Change عندما تكون إشارة الدخل لكل من R,S عند المستوى المنطقي (0).

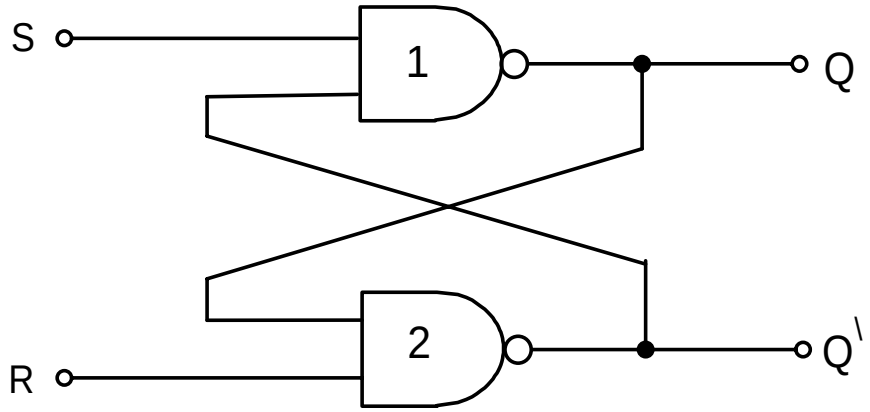
٠٣ وبنفس الطريقة يمكن دراسة حالة توصيل الدخل (S) بالمستوى المنطقي (0) عندما تكون($R=1$) في هذه الحالة فإن الخرج (Q) يكون عند المستوى المنطقي (0) وبالتالي ($\overline{Q}$)

يكون عند المستوى المنطقي (1) ، وتُعرف هذه الحالة بحالة الـ (Clear- State) أو إعادة الوضع Reset.

٠٤ في حالة توصيل الدخل (R) بالمستوى المنطقي (0) مع ثبات قيمة (S) عند المستوى المنطقي (0) فإن الخرج (Q) لا يتغير و كذلك ($\overline{Q}$) ، وتُعرف هذه الحالة بحالة التخزين .

٠٥ عند توصيل كلٍ من (R,S) بالمستوى المنطقي (1) فإن كلاً من ($Q,\overline{Q}$) متممان لبعضهما ، وتسمى هذه الحالة "حالة غير معينة " ويجب تجنبها عند تشغيل القلاب.

والشكل التالي يوضح دائرة قلاب (R-S) باستخدام بوابة NAND.



شكل (٥ -١ج)

وفيما يلي جدول الحقيقة لقلاب (R-S) باستخدام بوابة NAND.

وضع التشغيل	الخرج		الدخل	
	$\overline{Q}$	Q	R	S
غير معينة	1	1	0	0
وضع	0	1	1	0
إعادة وضع	1	0	0	1
تخزين	1	0	1	1

جدول (٥ -٢)

٥ -٣ قدح القلابات Flip- Flops Triggering

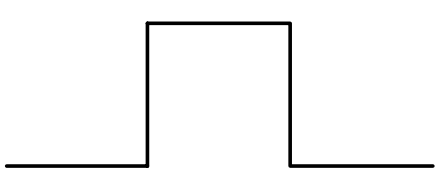
في القلابات غير المتزامنة تغير إشارات الدخل فيها يؤدي إلى تغيير حالة الخرج أما القلابات المتزامنة فإنها تحتاج إلى مدخل قدح(مدخل تزامن Clock) إضافي والذي بدونه لن تعمل هذه القلابات المتزامنة. لذلك يجب عند تشغيل القلابات المتزامنة إعطاء إشارات الدخل أولاً ثم إعطاء نبضة قدح (تزامن) على مدخل القدح عند هذه الحالة يتغير الخرج.

٥ -٣ -١ أنواع نبضات القدح

هناك نوعان من النبضات التي تستخدم لقدح القلابات وهي:

١. نبضة موجبة :

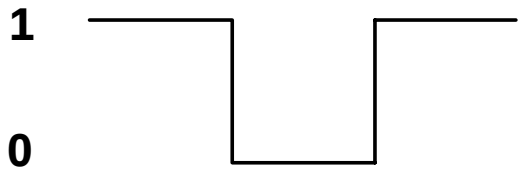
هذه النبضة تكون بدايتها (0) وعند القدح تصعد إلى (1) لفترة معينة ثم تعود مرة أخرى من (1) إلى (0) كما بالشكل التالي:



شكل (٥ -٢أ)

٠٢ نبضة سالبة :

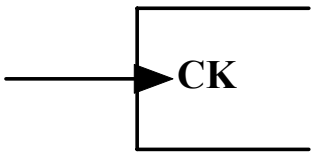
هذه النبضة تكون بدايتها (1) وعند القدح تهبط إلى (0) لفترة معينة ثم تعود مرة أخرى من (0) إلى (1) كما بالشكل التالي:



شكل (٥ -٢ب)

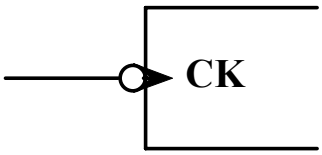
٥ -٣ -٢ طرق قدح القلابات المتزامنة

٠١ نبضة قدح بحافة موجبة كما يتضح بالشكل التالي:



شكل (٥ -٣أ)

٠٢ نبضة قدح بحافة سالبة كما يتضح بالشكل التالي:

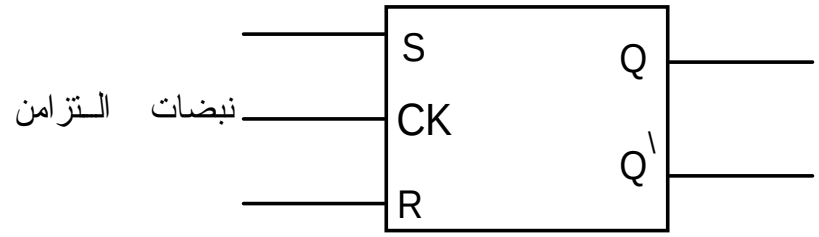


شكل (٥ -٣ب)

٥ -٤ قلاب (R-S) المتزامن Synchronous (R-S) Flip-Flop

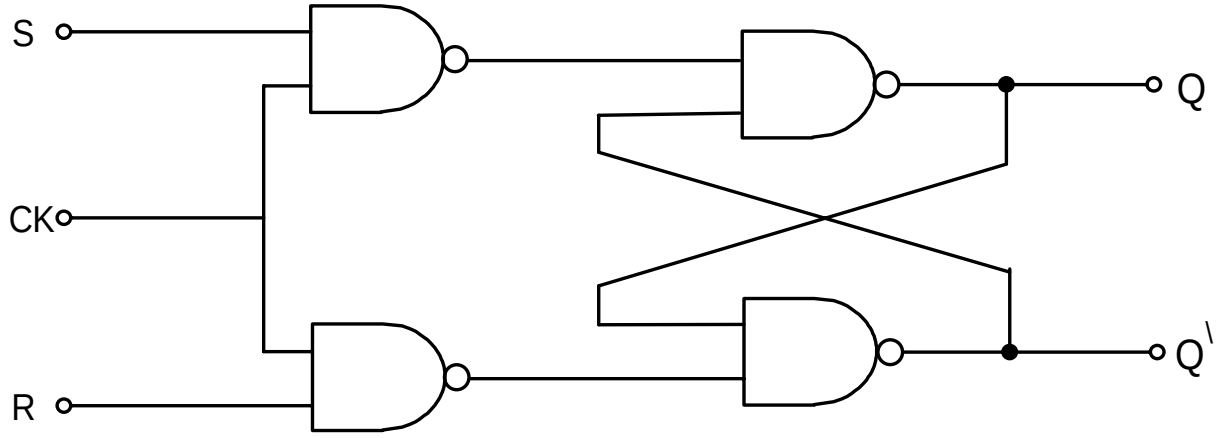
إن قلاب (R-S) الأساسي عبارة عن شريحة غير متزامنة، فهو لا يعمل وفقاً لنبضات تزامن أو توقيت. ويضيف قلاب (R-S) المتزامن خاصية تزامنية هامة.

ويبين الشكل التالي الرمز المنطقي لقلاب (R-S) حيث يظهر به ثلاثة أطراف للدخل (S,R,CK) وطرفي خرج هما (Q, $\overline{Q}$) .



شكل (٥ -٤أ)

والشكل التالي يوضح دائرة قلاب (R-S) المتزامن باستخدام بوابة NAND.



شكل (٥ -٤ب)

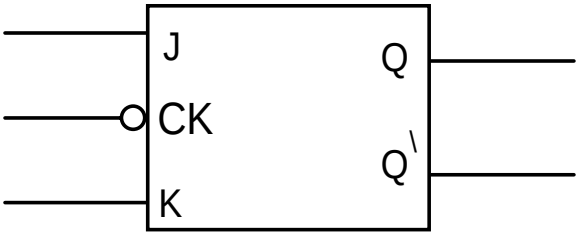
وفيما يلي جدول الحقيقة لقلاب (R-S) المتزامن باستخدام بوابة NAND.

وضع التشغيل	الخرج		الدخل		
	$\overline{Q}$	Q	R	S	CK
إعادة وضع	1	0	1	0	
تخزين	1	0	0	0	
وضع	0	1	0	1	
غير معينة	1	1	1	1	

جدول (٥ -٣)

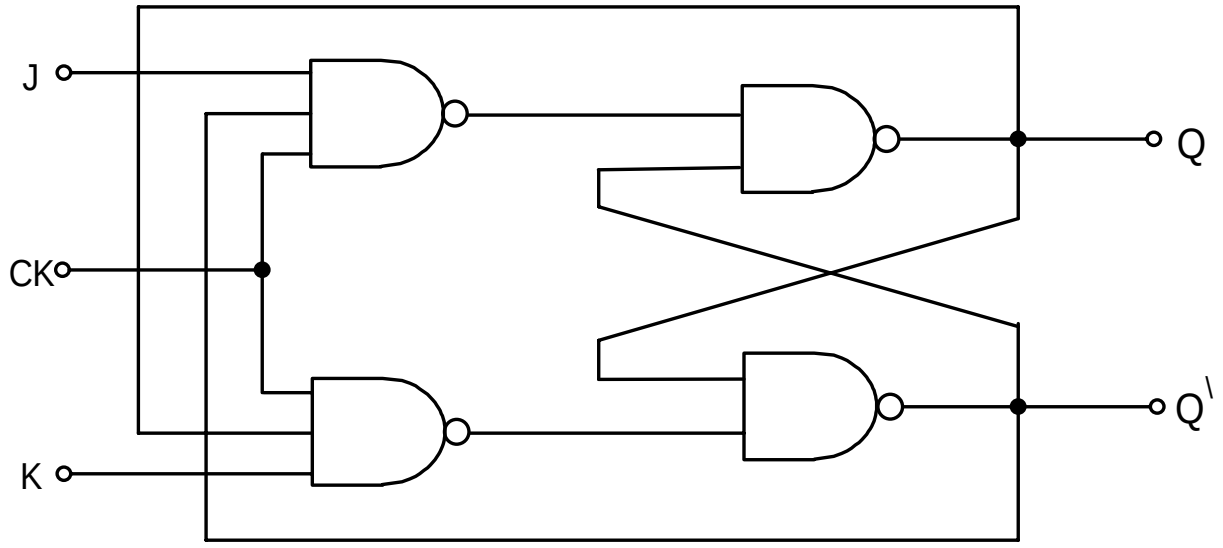
٥ -٥ قلاب J-K Flip-Flop (J-K)

يبين الشكل التالي الرمز المنطقي لقلاب J-K ، ويمكن اعتبار هذا القلاب هو القلاب العام فنلاحظ وجود ثلا ثة مداخل (J,K,CK) وخرجان هما الخرج العادي (Q) و الخرج المتمم ($\overline{Q}$) ، وقد صمم هذا القلاب للتغلب على الوضع المحظور (غير معينة) في القلاب (R-S)المتزامن ، فعندما (J=K=1) يكون القلاب في وضع تبديل Toggle.



شكل (٥ -٥أ)

والشكل التالي يوضح دائرة قلاب (J-K) باستخدام بوابات NAND:



شكل (٥ -٥ب)

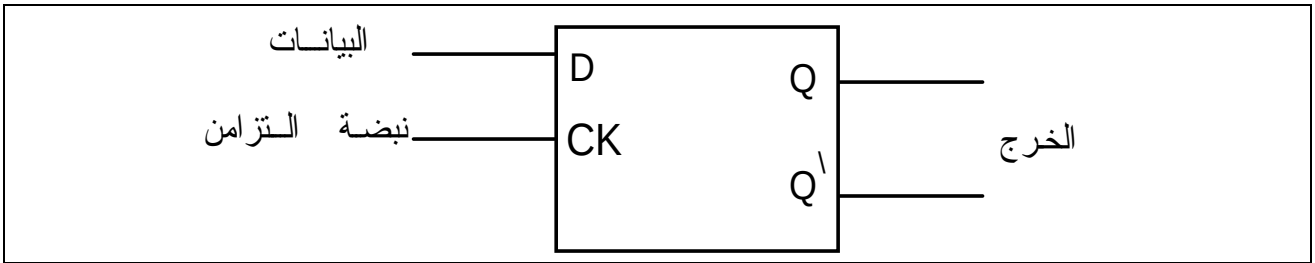
وفيما يلي جدول الحقيقة لقلاب (J-K) باستخدام بوابات NAND:

وضع التشغيل	الخرج		الدخل		
	$\overline{Q}$	Q	R	S	CK
التخزين	No Change		0	0	⊓
إعادة وضع	1	0	1	0	⊓
وضع	0	1	0	1	⊓
الحالة العكسية	Toggle		1	1	⊓

جدول (٥ -٤)

٥ -٦ قلاب D Flip-Flop (D)

يبين الشكل التالي الرمز المنطقي لقلاب (D) ، فنلاحظ وجود مدخل واحد للبيانات (D)، ومدخل للتزامن (CK) ويسمى كذلك بقلاب التأخير (Delay) لأن بيانات الدخل تظهر على الخرج بعد نبضة واحدة.



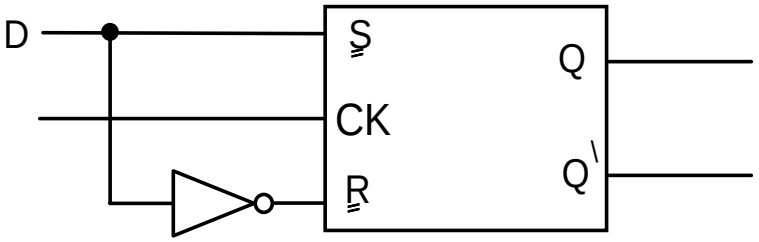
شكل (٥ -٦أ)

والشكل التالي يوضح جدول الحقيقة لقلاب (D)

CK	D	Q	$\overline{Q}$
⊓	0	0	1
⊓	1	1	0

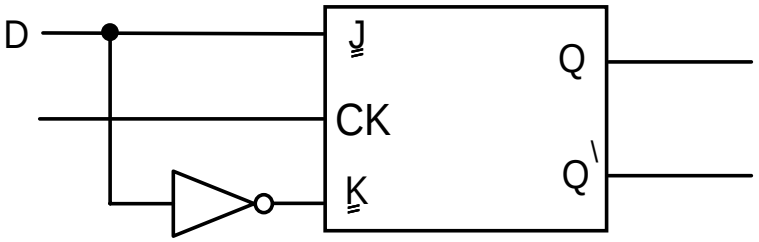
جدول (٥ -٥)

ويمكن بناء القلاب (D) من القلاب (R-S) بإضافة بوابة (NOT) على المدخل(R) كما هو مبين بالشكل التالي:



شكل (٥ -٦ب)

كما يمكن بناء القلاب (D) من القلاب (J-K) بإضافة بوابة (NOT) على المدخل(K) كما هومبين بالشكل التالي:

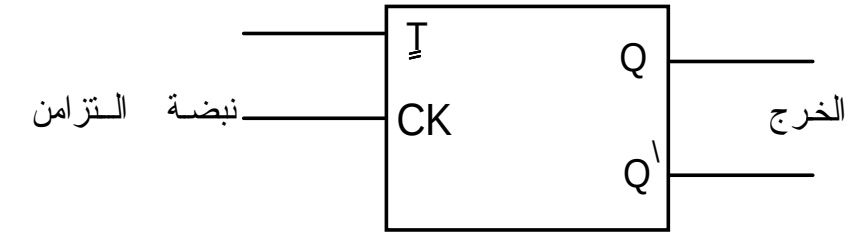


شكل (٥ -٦ج)

وبذلك يمكن اعتبار القلاب D حالة خاصة من قلابي R-S و J-K المتزامنين وتستخدم قلابات D بكثرة في تخزين البيانات، ونظراً لهذا الاستخدام فإنه يطلق عليه أحياناً (قلاب بيانات).

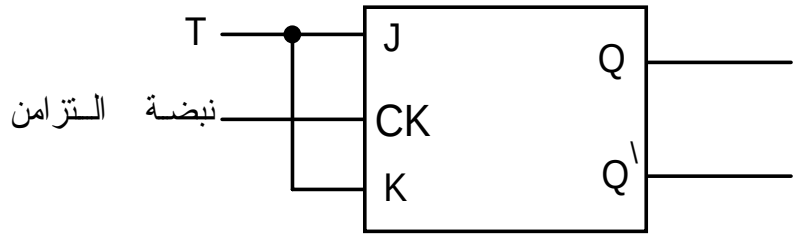
٥ -٧ قلاب T Flip-Flop (T)

يوضح الشكل التالي الرمز المنطقي لقلاب (T) ، فنلاحظ وجود مدخل واحد (T)، ومدخل التزامن (CK).



شكل (٥ -٧أ)

ويعتبر قلاب (T) حالة خاصة من قلاب (J-K) وذلك بتوصيل الطرفين (J,K) معاً ليمثلا الطرف (T) كما مبين بالشكل التالي:



شكل (٥ -٧ب)

والشكل التالي يوضح جدول الحقيقة لقلاب (T)

CK	T	$Q(t+1)$	وضع التشغيل
⎍	0	$Q(t)$	No Change
⎍	1	$\overline{Q}(t)$	Toggle

جدول (٥ -٦)

ومن الجدول السابق نلاحظ أن :

٠١ عندما يكون الدخل (T) عند المستوى المنطقي (0) وفي وجود نبضة الساعة فإن خرج القلاب $Q(t+1)$ لا يتغير وهذه الحالة تعرف بحالة التخزين No Change .

٠٢ عندما يكون الدخل (T) عند المستوى المنطقي (1) وفي وجود نبضة الساعة فإن خرج القلاب $Q(t+1)$ يتغير إلى متممه بغض النظر عن الوضع الذي هو عليه وهذه الحالة تعرف بحالة التبديل Toggle لذلك يسمى هذا القلاب بقلاب التبديل وهو يعتبر مقسم للتردد.

اختبار ذاتي

١. ما هي قيم المداخل التي تحتوي على الحالة غير المقبولة لقلاب من نوع SR ؟

٢. ما هو دور مدخل نبضات الساعة في القلابات؟

٣. ماذا يحدث عندما تكون مداخل القلاب J-K : $J=1$, $K=1$ ؟

٤. ما هو نوع وتردد إشارة خرج القلاب J-K عندما تكون $J=1$, $K=1$ ومدخل الساعة يعادل إشارة مربعة ذات تردد 100KHz؟

٥. ما هي سلسلة البتات التي نحصل عليها تعاقبياً في وضع الخرج Q لقلاب SR عندما تكون المداخل خلال الزمن كالآتي:

S=10010111010

R=01001000101

٦. ما هو نوع وتردد إشارة خرج القلاب J-K في حالة $J=1$, $K=0$ ومدخل الساعة يعادل إشارة مربعة ذات تردد 10KHz؟

٧. ما هو نوع وتردد إشارة خرج القلاب T في حالة $T=1$ و إشارة الساعة مربعة ذات تردد 500KHz؟

دوائر رقمية

دوائر العدادات و المسجلات و الذاكرة

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

التعرف على دوائر العدادات ، المسجلات والذاكرة لغرض تصميم أي دائرة رقمية متعلقة بهذا النوع من الدوائر ، مثل تحديد معامل العداد ، اتجاه الإزاحة والقراءة أو الكتابة على الذاكرة.

الأهداف:

يكون المتدرب بعد دراسة هذه الوحدة قادراً على:

١. شرح وظيفة العدادات .
٢. التعرف على أنواع العدادات .
٣. شرح وظيفة المسجلات .
٤. شرح وظيفة الذاكرة .
٥. التعرف على أنواع الذاكرة .
٦. التعرف على عملية الكتابة على الذاكرة والقراءة من الذاكرة .

مستوى الأداء:

أن يصل المتدرب إلى إتقان الجدارة بنسبة٨٥٪ .

الوقت المتوقع للتدريب:

تسع ساعات .

الوسائل المساعدة:

التدريبات العملية .

متطلبات الوحدة:

اجتياز الوحدات السابقة .

العدادات Counters

٦ -١ مقدمة :

العداد Counter هو عبارة عن دائرة منطقية تعاقبية تعطي خرجاً له تسلسل منطقي معين ، وتعتبر العدادات من أعظم الدوائر المنطقية وأكثرها استعمالاً ، ويبن العداد أساساً على قلاب (J-K) أو قلاب (T).

وللعدادات الرقمية الخصائص التالية:

١. أقصى عدد يستطيع العداد إحصاؤه.
٢. العد تصاعدياً (UP) أو تنازلياً(Down).
٣. التشغيل المتزامن (Synchronous) أو غير المتزامن (Asynchronous).

٦ -٢ العدادات غير المتزامنة Asynchronous Counters

هي عدادت يتم فيها توصيل نبضة التزامن CK للقلاب الأول ويقدح القلاب الثاني من خرج القلاب الأول وهكذا.....

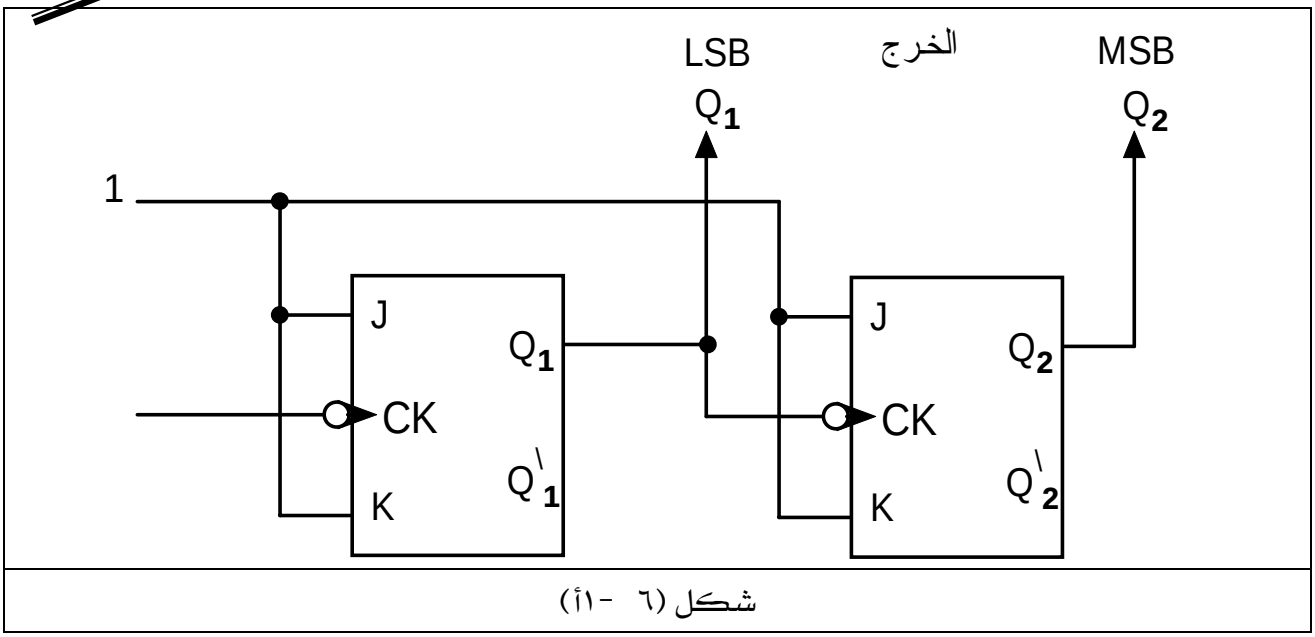
وتنقسم العدادت غير المتزامنة إلى:

١. العدادات التصاعدية Up - Counters

أ - عداد تصاعدي ذو معامل (4) باستخدام قلابات (J-K):

يبين الشكل التالي عداد تصاعدي غير متزامن ذو معامل (4) أي له أربع حالات عد (يعد من 0←3 عشري) ، ويتكون هذا العداد من قلابي J,K ، ومدخلي الـ K,J لكل قلاب موصلة بالمستوى المنطقي (1).

ونلاحظ أن كلا القلابين يعملان عند الحافة السالبة لنبصة التزامن ومدخل التزامن للقلاب الثاني موصل بالخرج العادي (Q_1) للقلاب الأول. ومخارج العداد هما الخرج العادي (Q_2,Q_1).



شكل (٦ -١أ)

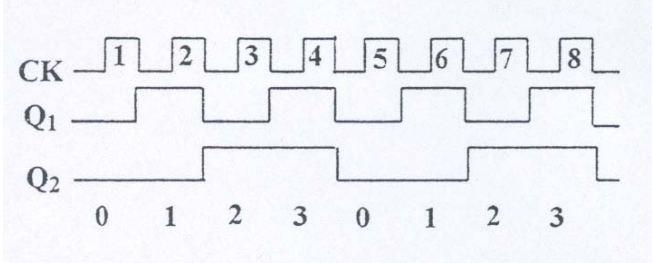
والشكل التالي يوضح جدول الحقيقة لتشغيل هذا العداد. فالقلاب الأول يكون في حالة تبدل مستمرة عند الحافة السالبة لنبضات التزامن والقلاب الثاني يكون في حالة تبدل عند الحافة السالبة للنبضة الثانية لنبصنات التزامن ، وسوف يعد العداد من صفر إلى ثلاثة وعند الاستمرار في نبضات التزامن فإن العداد يعيد العد مرة أخرى من صفر إلى ثلاثة وهكذا.....

جدول الحقيقة لعداد تصاعدي ذو معامل (4)

CLK NO.	O/P		المكافىء العشري
	Q_2	Q_1	
0	0	0	0
1	0	1	1
2	1	0	2
3	1	1	3
4	0	0	0
5	0	1	1
6	1	0	2
7	1	1	3

جدول (٦ -١)

ويبين الشكل التالي الخرج الموجي لهذا العداد لثمان نبضات تزامن حيث نرى من هذا الخرج أن العداد يعتبر مجزيء أو مقسم للتردد حيث أن عدد بنضات الخرج للقلاب الأول (Q_1) يساوي أربع نبضات وعدد نبضات الخرج للقلاب الثاني (Q_2) يساوي نبضتان أي أن القلاب الأول يقسم على (2) والقلاب الثاني يقسم على (4).



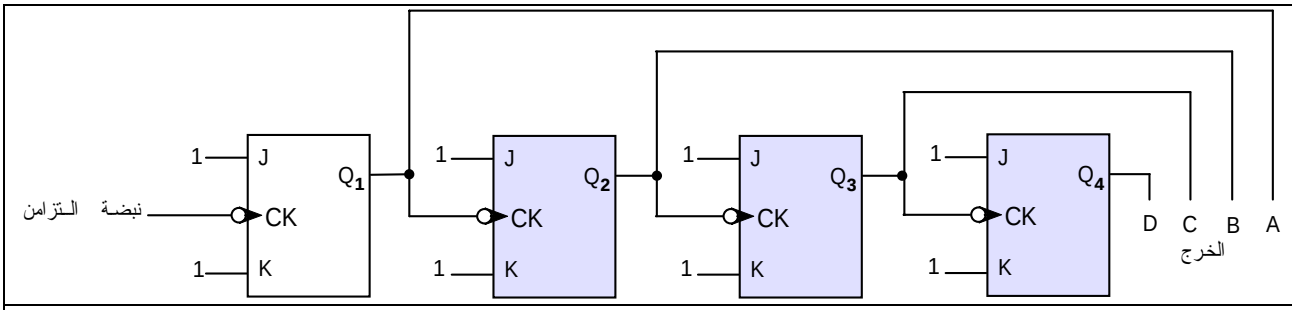
شكل (٦ -١ب)

مثال١:

صمم عداد تصاعدي ذو معامل (16) وذلك باستخدام قلابات J-K مع توضيح حالات العد باستخدام جدول الحقيقة ، ورسم الشكل الموجي للخرج.

الحل:

عداد ذو معامل (16) أي عداد يعد من (0إلى15) ويمكن استنتاج عدد القلابات المستخدمة فيمكن ذلك عن طريق العلاقة $(16 = 2^m)$ حيث (m) تعني عدد القلابات ، وبالتالي عندما تكون $m = 4$ فهذا يعني أن $(16 = 2^4)$. أي أن عدد القلابات هو أربعة قلابات J-K.



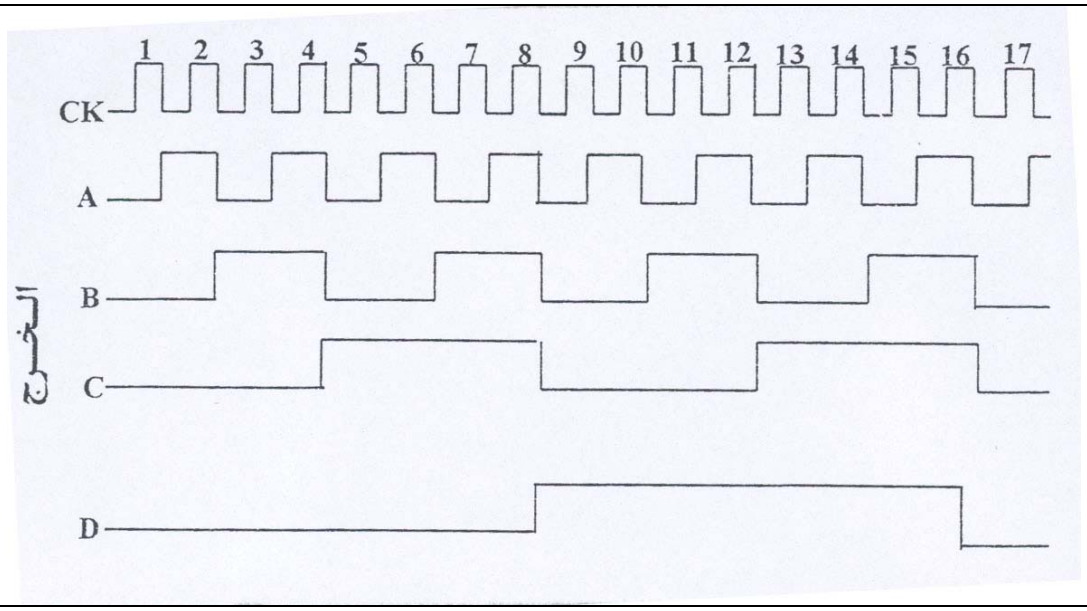
شكل (٦ -١ج)

جدول الحقيقة لعداد تصاعدي ذو معامل (16)

العدد العشري	العدد الثنائي				العدد العشري	العدد الثنائي			
	8	4	2	1		8	4	2	1
	D	C	B	A		D	C	B	A
0	0	0	0	0	8	1	0	0	0
1	0	0	0	1	9	1	0	0	1
2	0	0	1	0	10	1	0	1	0
3	0	0	1	1	11	1	0	1	1
4	0	1	0	0	12	1	1	0	0
5	0	1	0	1	13	1	1	0	1
6	0	1	1	0	14	1	1	1	0
7	0	1	1	1	15	1	1	1	1

جدول (٦ -٢)

ويبين الشكل التالي الخرج الموجي لهذا العداد



شكل (٦ -١د)

ب - العداد تصاعدي ذو معامل (n) :

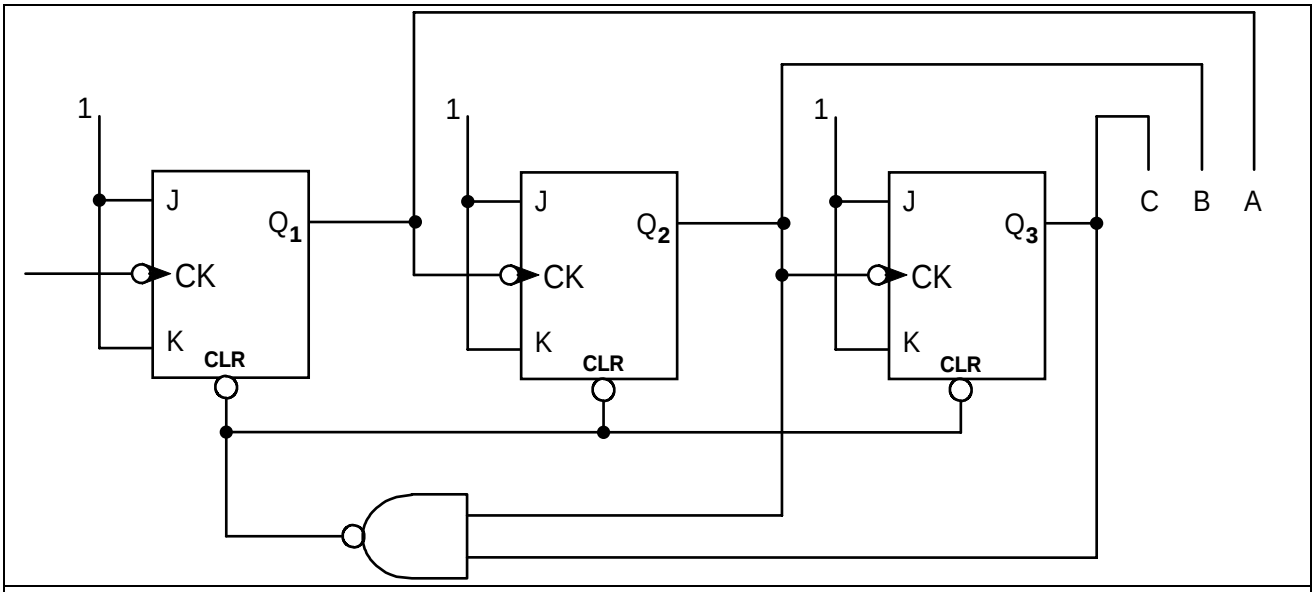
عندما نريد تصميم عداد ذو معامل (n) فإننا نطبق القاعدة $(2^m \geq n)$ حيث إن:

m : عدد القلابات n : معامل العداد

فمثلاً عندما نريد تصميم عداد ذو معامل (6) أي له ست حالات عد ويعد من (0 إلى 5) فنطبق القاعدة $(2^3 > 6)$ لأنه لا يوجد عدد (n) يعطينا (2^m) تساوي (6) لذلك نأخذ الأكبر (8) ولكن هذه الثمانية تعني (8) حالات أي من (0 إلى 7) لذلك فإننا نحتاج إلى ثلاثة قلابات J-K.

ولتكن A,B,C وكذلك نحتاج إلى بوابة NAND تكون مداخلها من المكافىء الثنائي للرقم العشري (6) وهو: أي بوابة NDAD دخلها من خرج القلابان C,B وخرج البوابة يكون دخل لمدخل المسح CLR للقلابات، لذا فإنه عندما يعد العداد العدد خمسة والذي يكافؤه ثنائياً سوف ينتقل العداد لعد العدد ستة الذي يكافؤه ثنائياً وهذا ينشط بوابة NAND بالوحايد لذا فإن خرجها سيكون صفر. وهذا بدوره ينشط مدخل المسح مما يؤدي إلى تصفير جميع مخارج القلابات وتبدأ بالعد من جديد (000) ولا تعد العدد (110).

ويوضح الشكل التالي بناء هذا العداد.



شكل (٦ -١هـ)

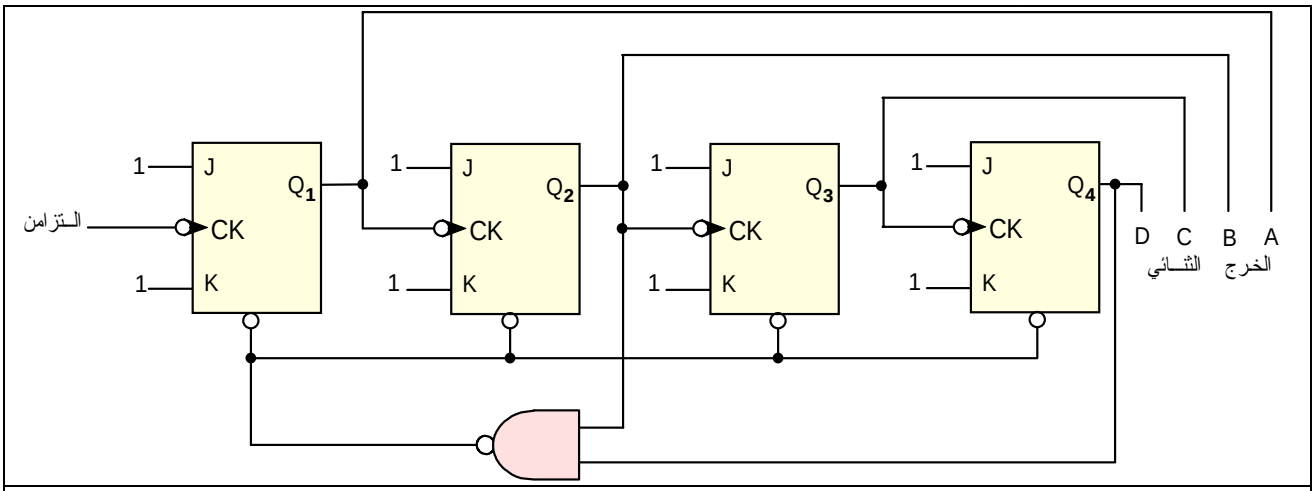
ملاحظة:

إذا كانت مداخل المسح للقلابات تنشط بالصفر نستخدم بوابة NAND، أما إذا كانت تنشط بالواحد نستخدم بوابةAND.

العداد العشري Decimal Counter

يعتبر العداد العشري أكثر أنواع العدادات انتشاراً بفضل تطبيقاته واستخداماته الكثيرة، وهو عداد ذو معامل عشرة أي أن العداد يعد من (0 إلى 9) عشري أي من (0000إلى1001) ثنائي ، ويتكون العداد من أربعة قلابات J-K وبوابة NAND ، ويتلخص عمل هذا العداد أنه عندما ينتهي العداد من عد العدد تسعة ويبدأ في العدد عشرة والذي يكافىء ثنائياً وهذا يعني لأن الخرجين (D =1,B =1) هما دخلين لبوابة (NAND) وخرج البوابة ينشط مدخل المسح CLR للقلابات الأربعة ، وهذا يجعل جميع القلابات تقوم بعملية المسح لمخارجها لتساوي صفراً وليبدأ العداد ليعد من جديد.

ويوضح الشكل التالي بناء هذا العداد.



شكل (٦ -٢أ)

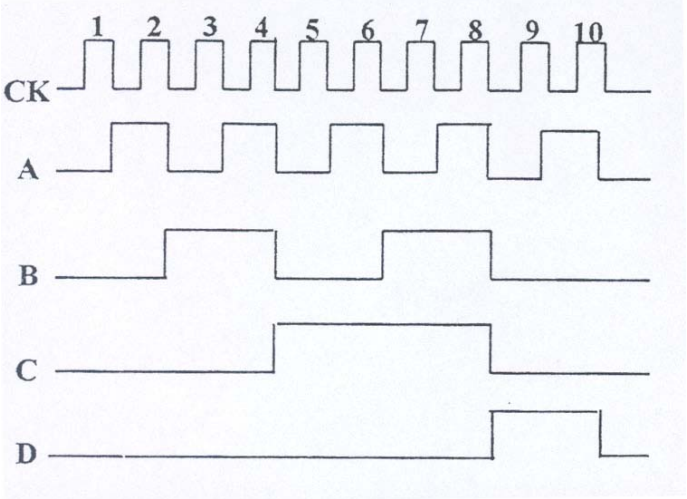
جدول الحقيقة للعداد العشري

CLK NO.	O/P				المكافىء العشري
	المكافىء الثنائي				
	D	C	B	A	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5

6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

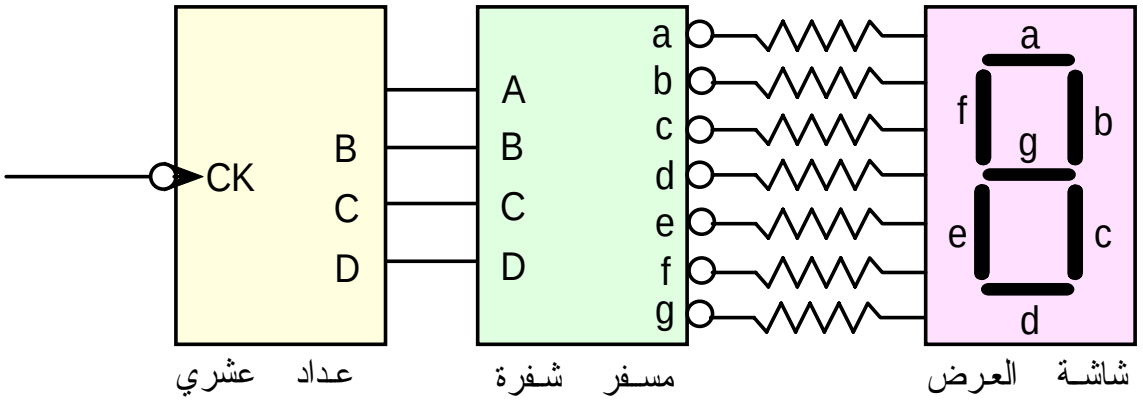
جدول (٦ -٣)

ويبين الشكل التالي الخرج الموجي لهذا العداد



شكل (٦ -٢ب)

الشكل التالي يوضح توصيل العداد العشري مع مفسر الشفرة (Decoder) وشاشة عرض الأجزاء السبعة (Seven Segments).



شكل (٦ -٢ج)

والجدول التالي يبين عمل الدائرة السابقة:

مع العلم أن شاسة العرض ذات السبع قطع هي من نوع مشترك الآنود لذا يكون تنشيط الشاشة عند المستوى المنطقي (0) ولهذا تظهر الفقاعات في مخارج مفسر الشفرة.

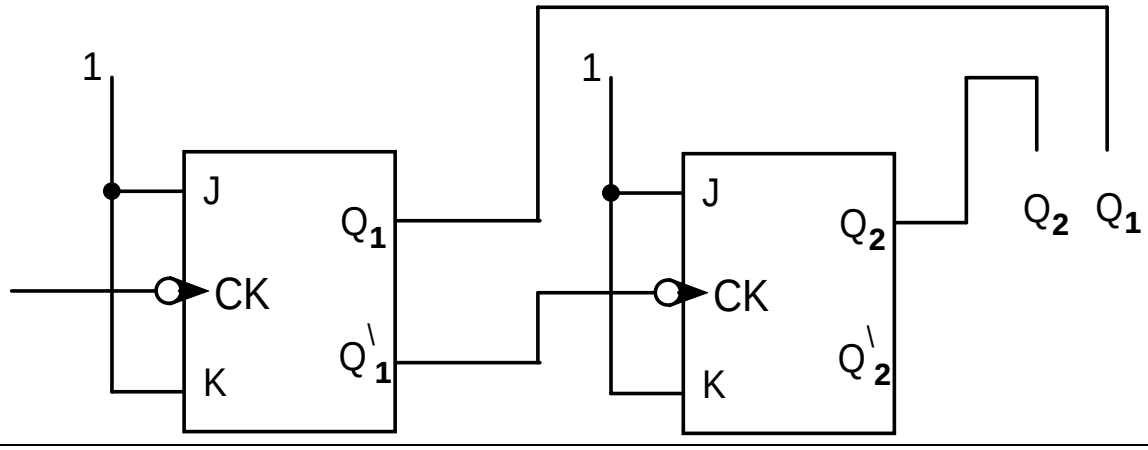
CLK NO.	خرج العداد				خرج مفسر الشفرة						
	D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

جدول (٦ -٤)

٢ - العدادات التنازلية Down-Counters

أ - عداد تنازلي ذو معامل (4) باستخدام قلابات J-K:

يختلف العداد التنازلي عن العداد التصاعدي في تسلسل العد حيث يبدأ العد التنازلي في العد من أقصى قيمة ويبدأ في التنازل ، ويبين الشكل التالي عداد تنازلي ذو معامل (4) أي أن له أربع حالات عد ويعد من (3إلى0) عشري ويتكون هذا العداد من قلابي J-K ومدخلي J,K لكل قلاب موصلة بالواحد المنطقي ونلاحظ أن مدخل التزامن CK لكلا القلابين يعملان عند الحافة السالبة لنبضة التزامن ، ومدخل التزامن للقلاب الثاني موصل بالخرج المتمم $(\overline{Q_1})$ للقلاب الأول، ومخارج العداد تكون من الخرج العادي للقلابين Q_2,Q_1 كما مبين بالشكل التالي:



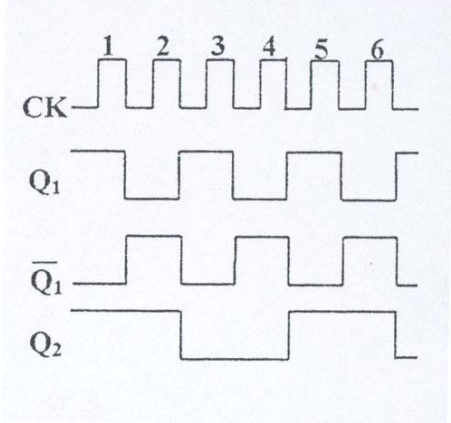
شكل (٦ -٣أ)

والشكل التالي يوضح جدول الحقيقة لتشغيل هذا العداد ، فحالة البداية للعداد التنازلي تكون جميع المخارج للعداد في المستوى العالي (أي أقصى قيم للعدد) ثم يبدأ العداد في التنازل ، فالعداد التنازلي ذو معامل (4) سوف يعد من ثلاثة إلى صفر وعند الاستمرار في نبضات التزامن فإن العداد سوف يعيد العد مرة أخرى من ثلاثة إلى صفر وهكذا.

CLK NO.	O/P		
	المكافىء الثنائي		المكافىء العشري
	Q_2	Q_1	
0	1	1	3
1	1	0	2
2	0	1	1
3	0	0	0
4	1	1	3

جدول (٦ -٥)

ويبين الشكل التالي سلوك هذا العداد ، فالقلاب الأول يكون في حالة تبدل مستمرة عند كل حافة سالبة لنبضات التزامن ، والقلاب الثاني يكون مدخل التزامن له هو الخرج المتمم للقلاب الأول $(\overline{Q_1})$ وبالتالي فإن القلاب الثاني سوف يكون في حالة تبدل مستمرة عند كل حافة سالبة لـ $(\overline{Q_1})$.

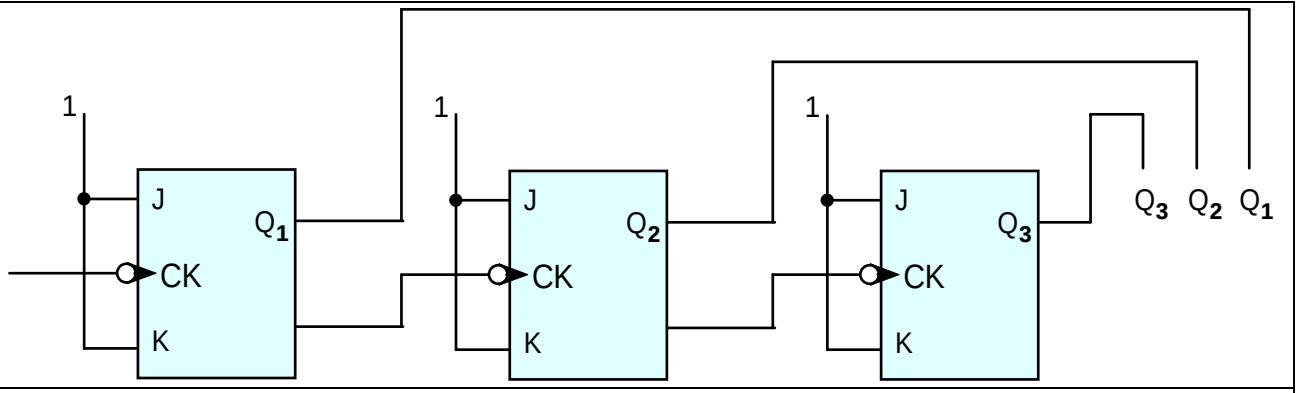


شكل (٦ -٣ب)

ب - **عداد تنازلي متموج ذو معامل (8) باستخدام قلابات J-K:**

عداد تنازلي متموج ذو معامل (8) أي أنه يعد من (7إلى0) ولاستنتاج عدد القلابات المستخدمة عن طريق العلاقة: $(2^3=8)$ وبالتالي فإننا نحتاج إلى ثلاثة قلابات J-K.

الشكل التالي يوضح توصيل العداد



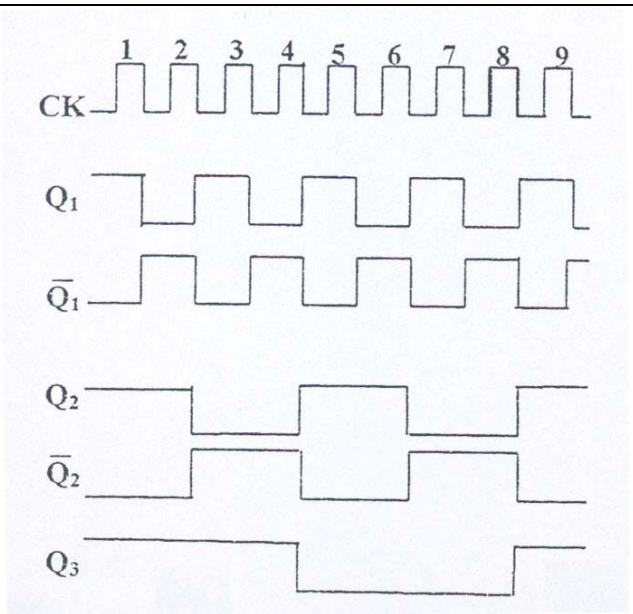
شكل (٦ -٤أ)

الشكل التالي يوضح جدول الصواب (الحقيقة) للعداد :

CLK NO.	O/P			
	المكافىء الثنائي			المكافىء العشري
	Q_1	Q_2	Q_3	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7
9	1	1	0	6

جدول (٦ -٦)

الشكل التالي يوضح الشكل الموجي لهذا العداد.



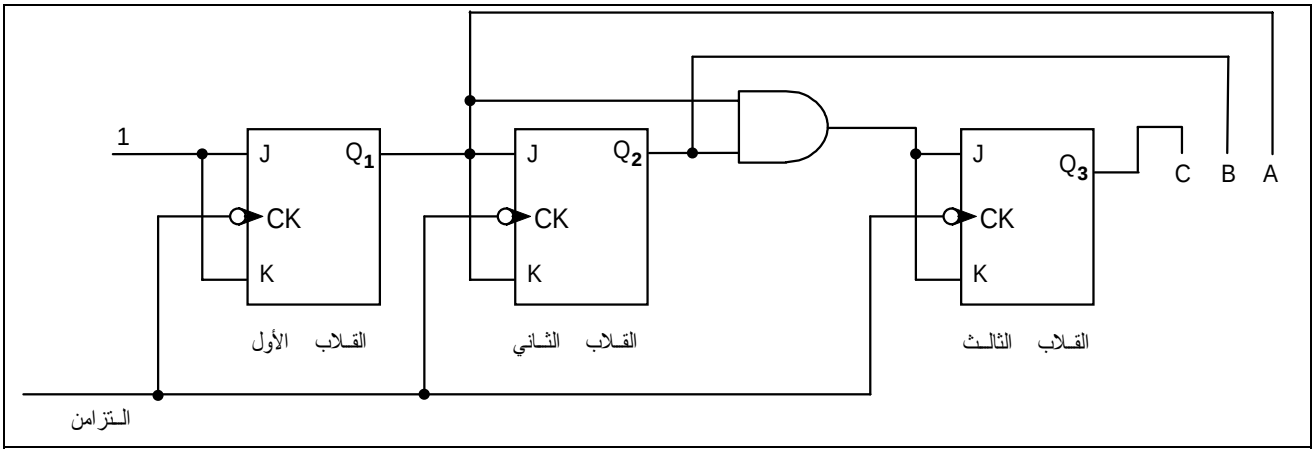
شكل (٦ -٤ب)

٦ -٤ العدادات المتزامنة Synchronous Counters

هي عدادات يتم توصيل مدخل التزامن CK لجميع القلابات في نفس الوقت (توصيل توازي) لحل مشكلة التأخير الزمني الناتج في العدادات غير المتزامنة ونسمي هذه النوعية من العدادات بعدادات التوازي Parallel Counters.

١ - عداد تصاعدي متزامن ذو معامل (8).

يقوم هذا العداد بعد الأرقام من (0إلى7) وبالتالي سوف نحتاج إلى عدد ثلاثة قلابات نوع (J-K) لتصميم العداد، والشكل التالي يوضح توصيل هذا العداد.



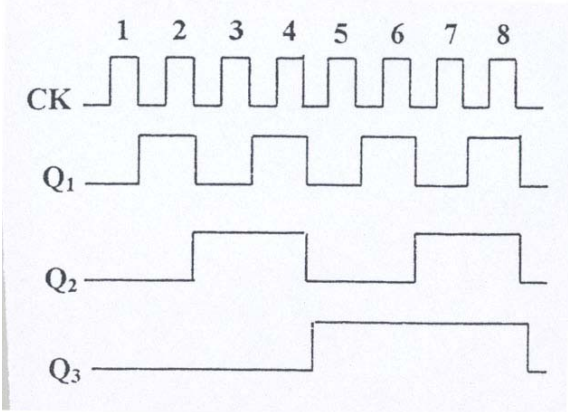
شكل (٦ -٥أ)

ويلاحظ من الشكل السابق أن:

١ - القلاب الأول يكون دائماً في وضع التبديل (Toggle) أو حالة تخزين (No Change) تبعاً لخرج القلاب الأول.

٢ - يستخدم خرج القلاب الأول والقلاب الثاني كدخل لبوابة AND وهي تتحكم في تشغيل القلاب الثالث، فعندما يتم تنشيط هذه البوابة عن طريق المستوى المنطقي (1) عند كل من (A , B) فإن القلاب الثالث يصبح في وضع التبديل، وعندما يمنع تنشيط البوابة فإن القلاب الثالث يصبح في وضع تخزين.

ويوضح الشكل التالي الشكل الموجي للخرج .



شكل (٦ -٥ب)

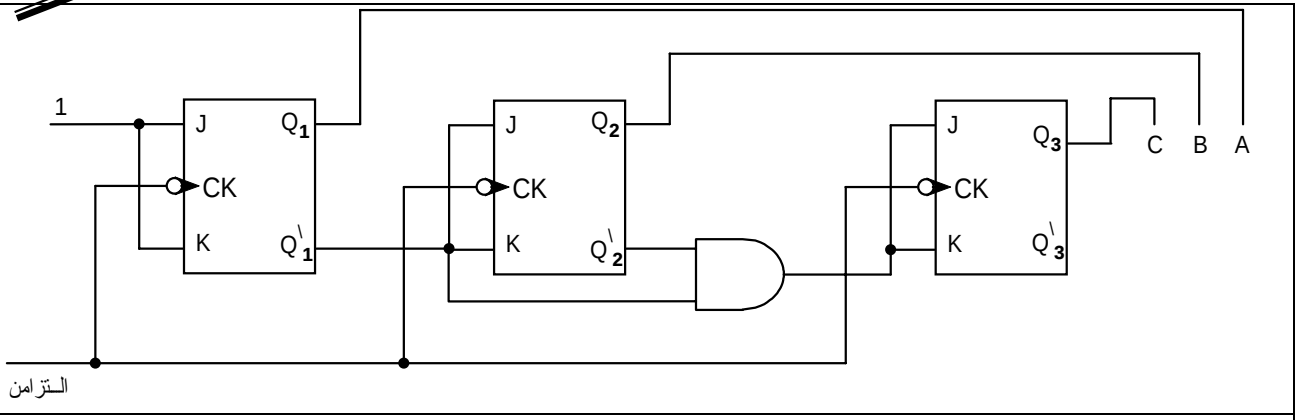
الشكل التالي يوضح جدول الصواب (الحقيقة) للعداد :

CLK NO.	O/P			المكافىء العشري
	C	B	A	
0	0	0	0	0
1	0	0	1	1
2	0	1	0	2
3	0	1	1	3
4	1	0	0	4
5	1	0	1	5
6	1	1	0	6
7	1	1	1	7
8	0	0	0	0

جدول (٦ -٧)

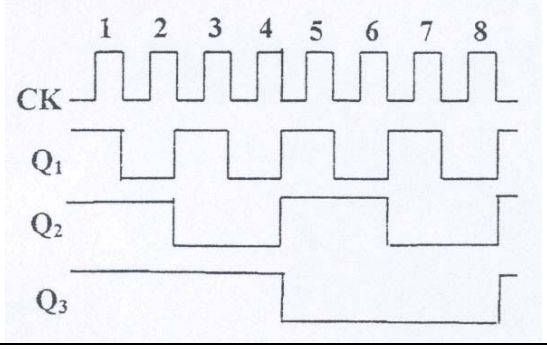
٢ - عداد تنازلي متزامن ذو معامل (8)

يوضح الشكل الرسم التخطيطي المنطقي لعداد توازي تنازلي ذو ثلاثة أرقام ثنائية أي معامل (8) ونلاحظ أنه قد وصلت مداخل التزامن CK في نفس الوقت لجميع القلابات ، ولكن الفرق الوحيد هو أن تشغيل العداد التنازلي نستخدم فيه الخرج المتمم $(\overline{Q_1})$ للقلابات في عملية التشغيل.



شكل (٦ -٦أ)

الشكل التالي الشكل الموجي للخرج



شكل (٦ -٦ب)

الشكل التالي يوضح جدول الحقيقة للعداد:

CLK NO.	O/P			المكافىء العشري
	C	B	A	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7

جدول (٦ -٨)

مسجلات الإزاحة
Shift Registers

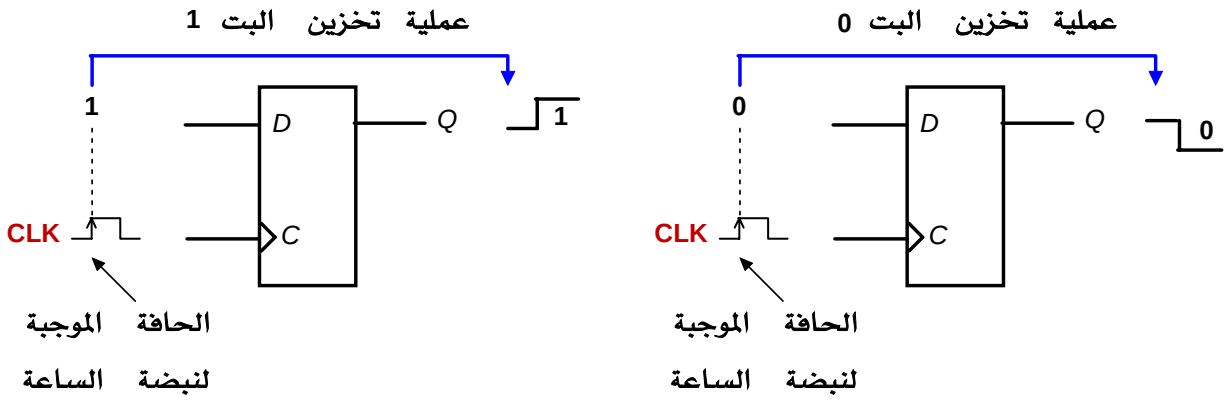
تعتبر مسجلات الإزاحة كنوع من الدوائر المنطقية التعاقبية التي تشبه العدادات الرقمية. تستخدم مسجلات الإزاحة أساساً لتخزين البيانات الرقمية.

سوف ندرس في هذا الفصل بعض الأنواع الأساسية لمسجلات الإزاحة والتطبيقات المُتعلقة مع كل نوع.

تحتوي مسجلات الإزاحة على تركيبة من القلابات دورها تخزين وتحويل البيانات في الأنظمة الرقمية.

يستخدم المسجل أساسياً لتخزين وإزاحة البيانات المتكونة من أصفار وآحاد من مداخله إلى مخارجه.

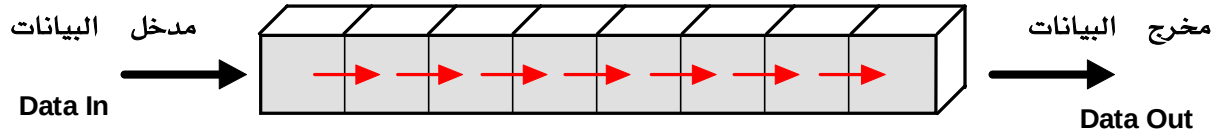
تتحقق عملية التخزين باستخدام قلاب من نوع D لتخزين البت 0 أو 1 ، كما هو موضح بالشكل (٦ - ٧).



الشكل (٦ -٧)

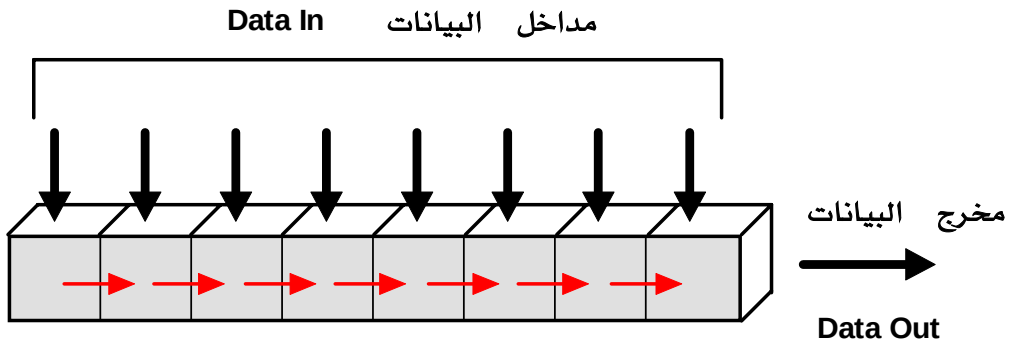
أما عملية الإزاحة فإنها تتحقق بوسائل مختلفة نذكر منها:

أ - إزاحة مع دخل توالي وخرج توالي للبيانات (الشكل(٦ -٨)).



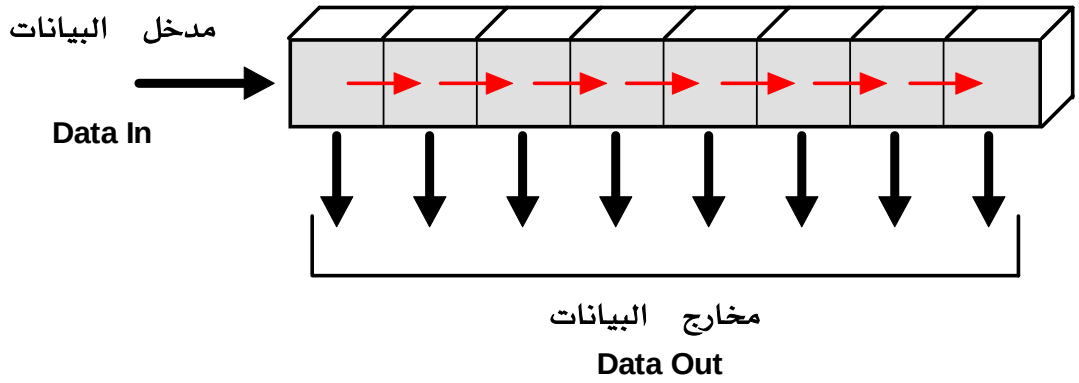
الشكل(٦ -٨)

ب - إزاحة مع دخل توازي وخرج توالي للبيانات (الشكل(٦ -٩)).



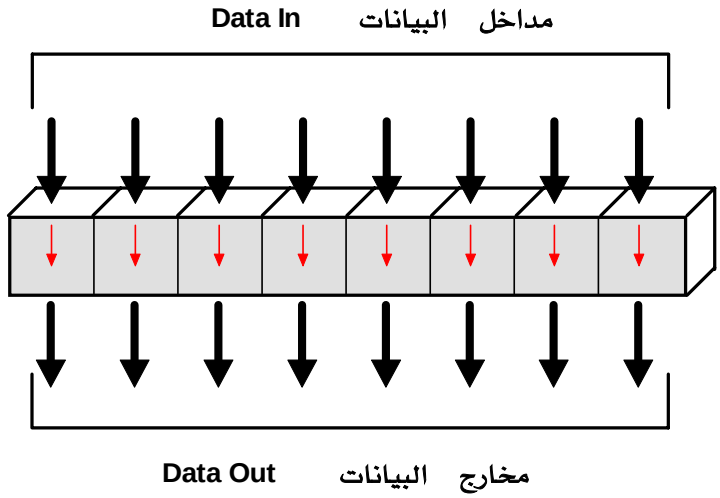
الشكل(٦ -٩)

ت - إزاحة مع دخل توالي وخرج توازي للبيانات (الشكل(٦ -١٠)).



الشكل(٦ -١٠)

ث - إزاحة مع دخل توازي وخرج توازي للبيانات (الشكل(٦ -١١)).



الشكل(٦ -١١)

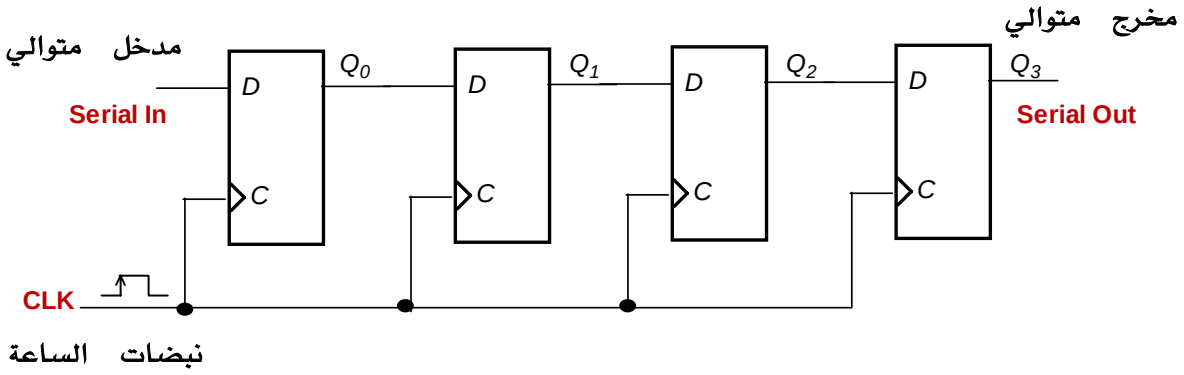
تتمثل سعة المسجل في عدد القلابات الذي يحتوي عليه المسجل وهذا ما يمثل أيضاً عدد بتات المسجل.

١ - مسجلات ذات الدخل المتوالي والخرج المتوالي:

Serial in / Serial out Shift Registers

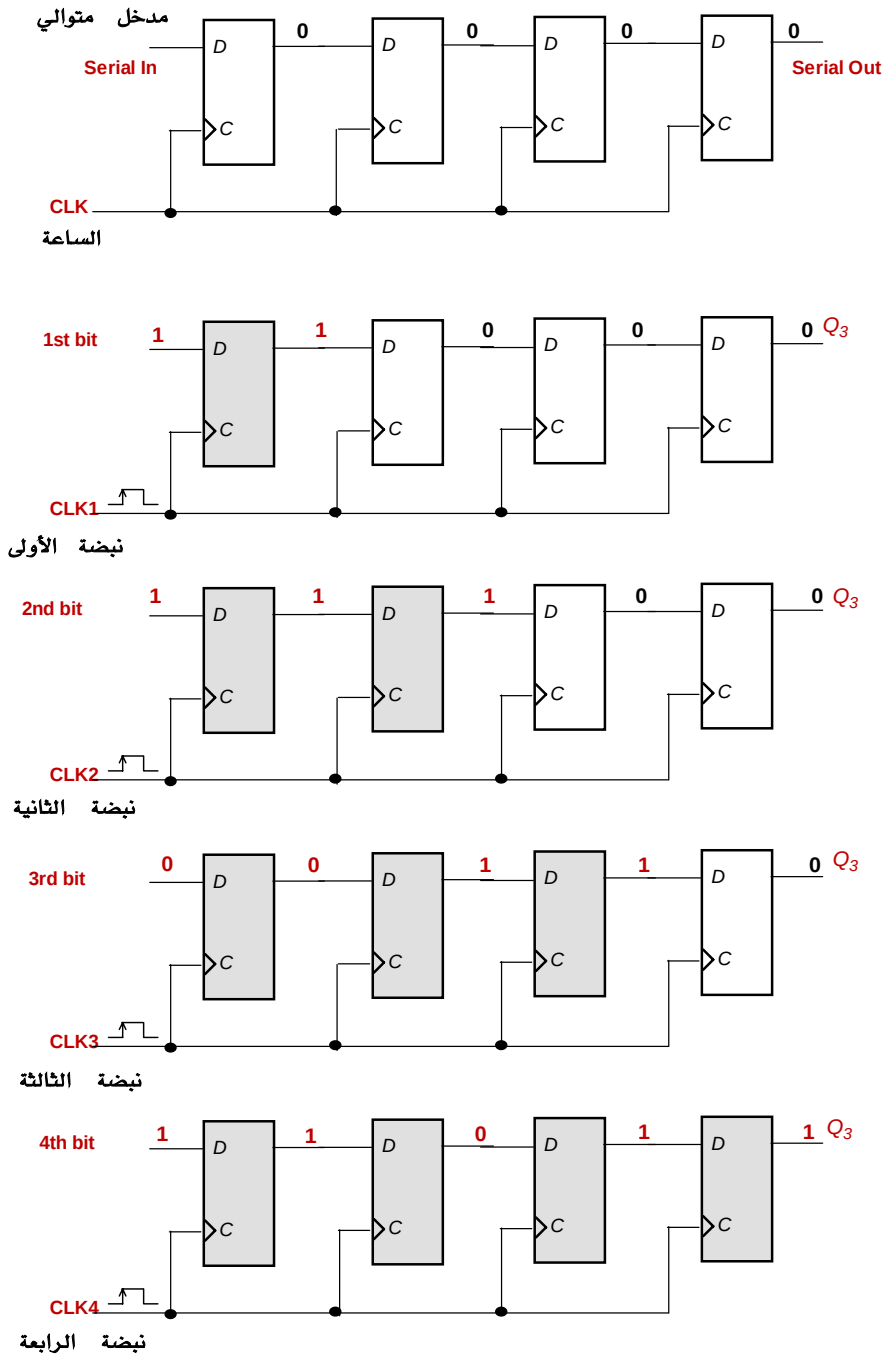
يستقبل مسجل الإزاحة ذو الدخل المتوالي والخرج المتوالي البيانات بصفة متتالية ما يعني بت واحد عند كل نبضة الساعة Clock.

يوضح الشكل (٦ -١٢) مسجل إزاحة يتكون من 4 قلابات من نوع D ما يعني أنه قادراً على تخزين 4 بتات من البيانات.



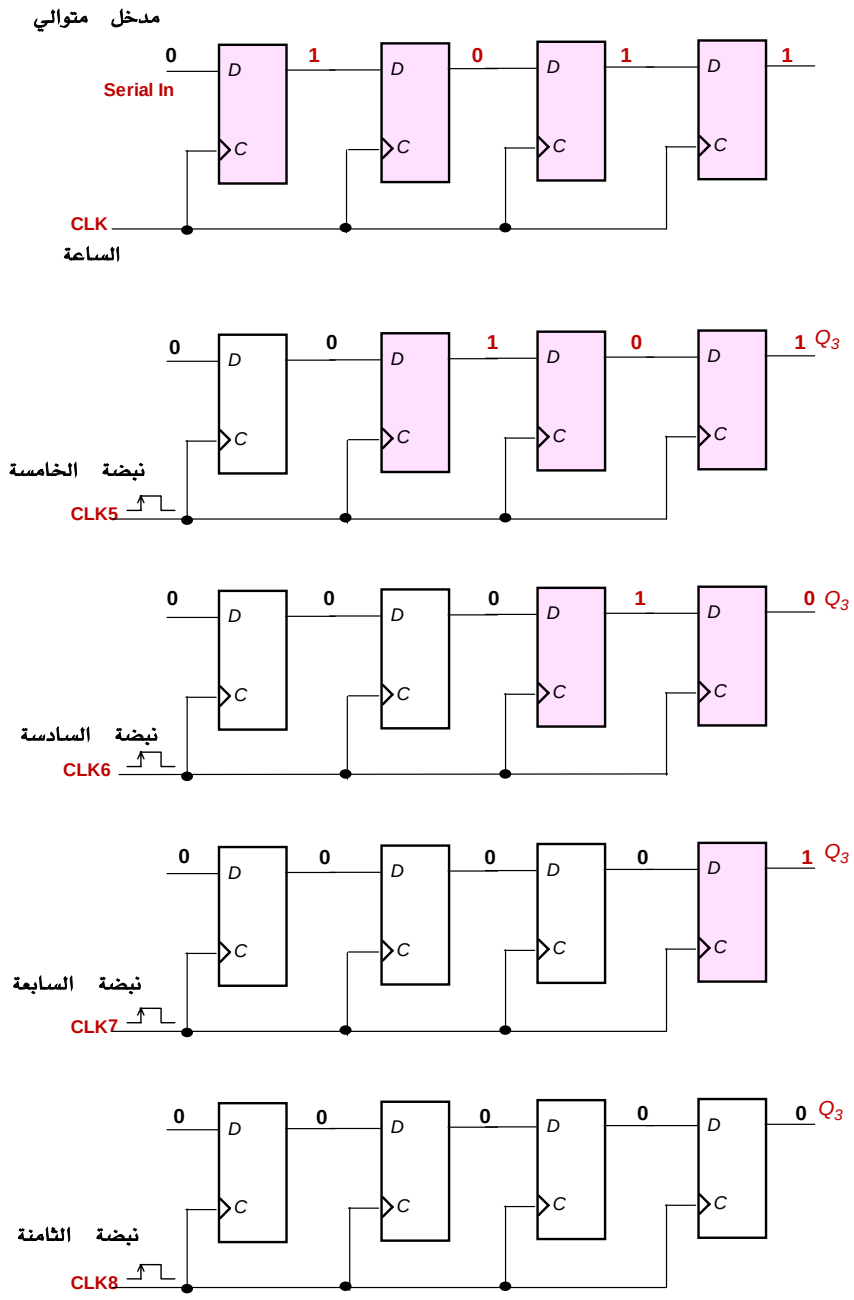
الشكل (٦ -١٢)

يوضح الشكل (٦ -١٣) كيف تتم عملية إدخال بيانات تتكون من الأربعة بتات 1011 بصفة متتالية في المسجل وهذا خلال 4 نبضات للساعة Clock (Clk_1 ،Clk_2 ،Clk_3 و Clk_4) .



الشكل (٦ -١٣)

كما يوضح الشكل (٦ -١٤) عملية إخراج البيانات 1011 بصفة متتالية وتواجدها على مخرج المسجل خلال 4 نبضات للساعة Clock (Clk_5، Clk_6، Clk_7 و Clk_8) .

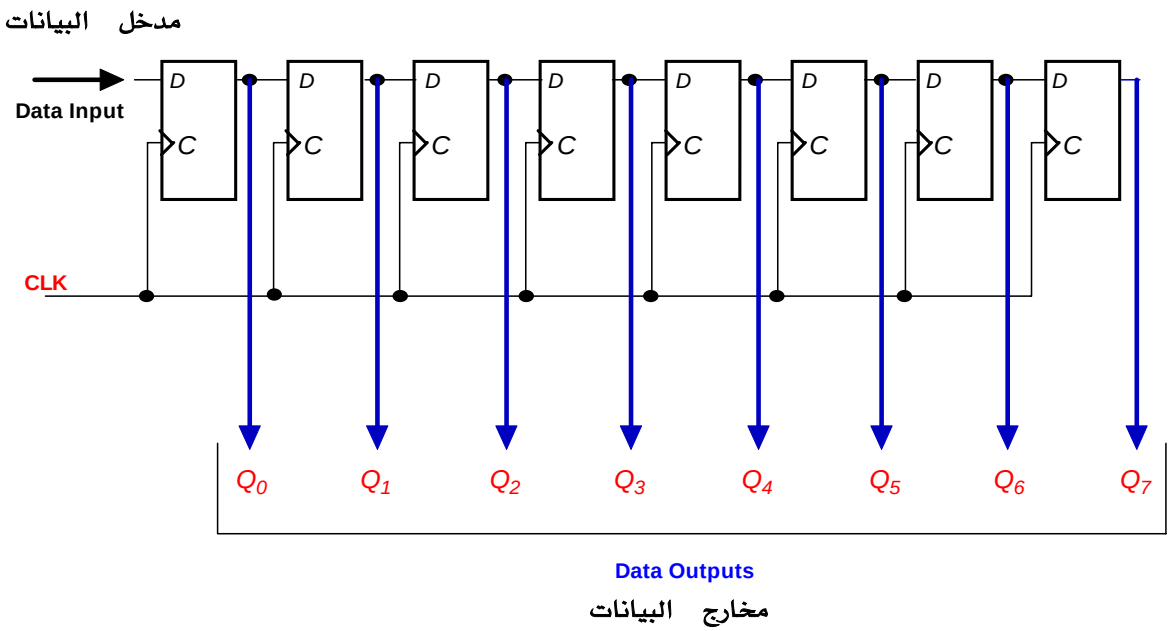


الشكل (٦ -١٤)

٢ - مسجلات ذات الدخل المتتالي والخرج المتوازي:
Serial in / Parallel out Shift Registers

يحتوي مسجل الإزاحة ذو الدخل المتتالي والخرج المتوازي على مدخل واحد للبيانات وعدد من المخارج التي من خلالها تكون البيانات فيها متواجدة بصفة متوازية وهذا من خلال أي نبضة من نبضات الساعة.

يوضح الشكل (٦ -١٥) مسجل إزاحة يحتوي على دخل واحد للبيانات D و ثمانية مخارج Q_0 ، Q_1، Q_2، Q_3، Q_4، Q_5، Q_6، Q_7 .

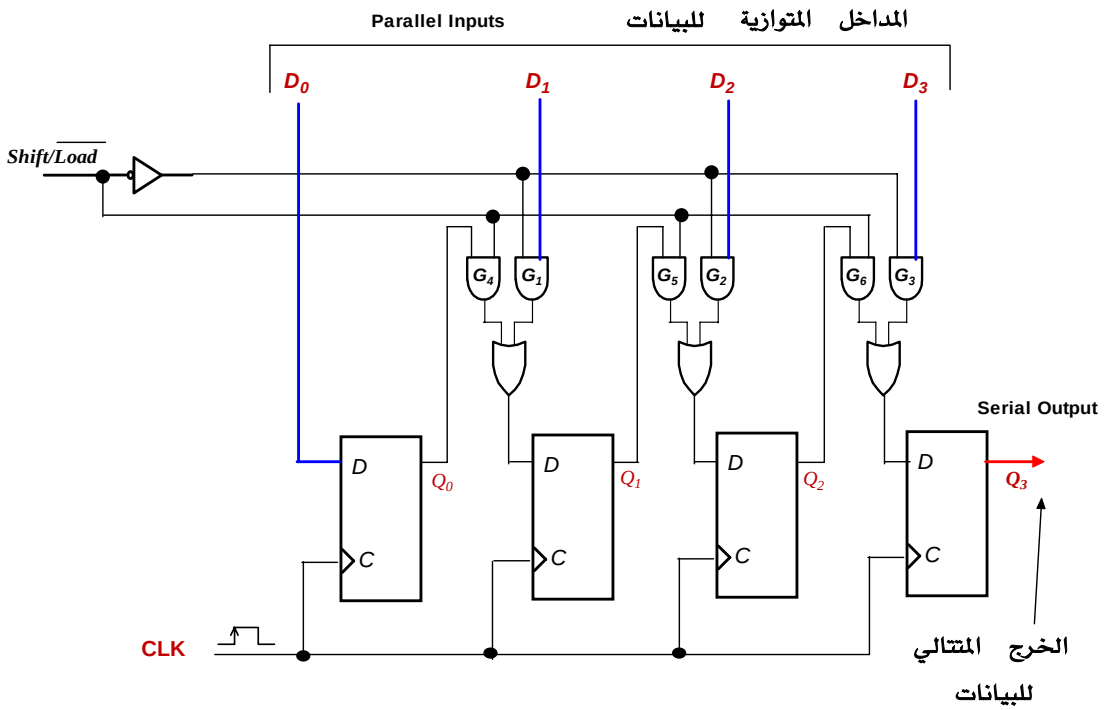


الشكل (٦ -١٥)

٣ - مسجلات ذات الدخل المتوازي والخرج المتتالي:
in / Serial out Shift Registers Parallel

يحتوي هذا النوع من المسجلات على عدد من المداخل المتتالية ومخرج واحد. تدخل البيانات في هذا المسجل في نفس الوقت من خلال نبضة تحميل المسجل Load ، بعدها يمكننا إخراج البيانات بت بعد بت خلال عدد نبضات الساعة يساوي عدد القلابات الذي يحتوي عليه المسجل.

يوضح الشكل (٦ -١٦) نوع من هذه المسجلات الذي يحتوي على أربعة مداخل للبيانات متوازية D_0 ، D_1 ، D_2 و D_3 و مخرج متتالي واحد Q_3.



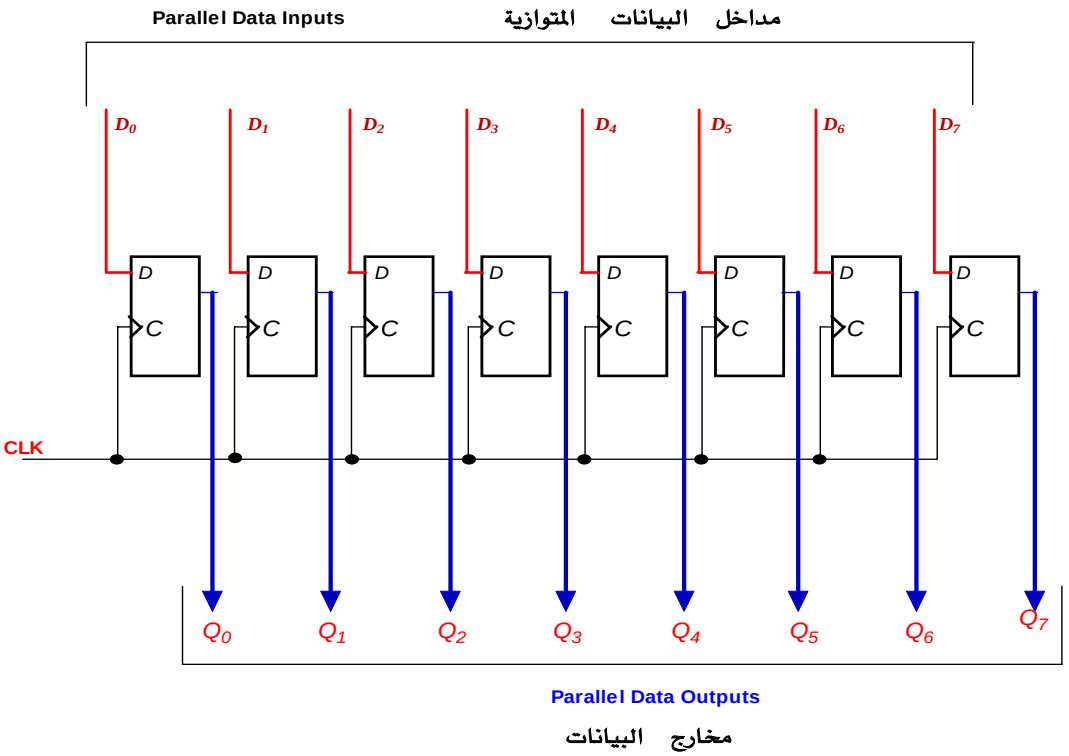
الشكل (٦ -١٦)

٤ - مسجلات ذات الدخل المتوازي والخرج المتوازي:
in / Parallel out Shift Registers Parallel

يحتوي هذا النوع من المسجلات على عدد من المداخل التي من خلالها يتم إدخال البيانات وفي وقت واحد خلال نبضة التحميل Load بصفة متوازية وعدد من المخارج التي من خلالها يتم إظهار البيانات المُخزنة في المسجل والتي تم إدخالها عبر المداخل المتوازية.

يوضح الشكل (٦ -١٧) مسجل يحتوي على ثمانية مداخل متوازية (D_0، D_1، D_2، D_3، D_4 ، D_5، D_6، D_7) و ثمانية مخارج متوازية (Q_0، Q_1، Q_2، Q_3، Q_4، Q_5، Q_6 ، Q_7).

نرى هنا أنه خلال نبضة واحدة للساعة يتم إدخال وتخزين و إظهار البيانات على المخارج بصفة متوازية وفي نفس اللحظة.



الشكل (٦ -١٧)

٥ - مسجلات ذات اتجاهين للإزاحة:

Shift Registers Bidirectional

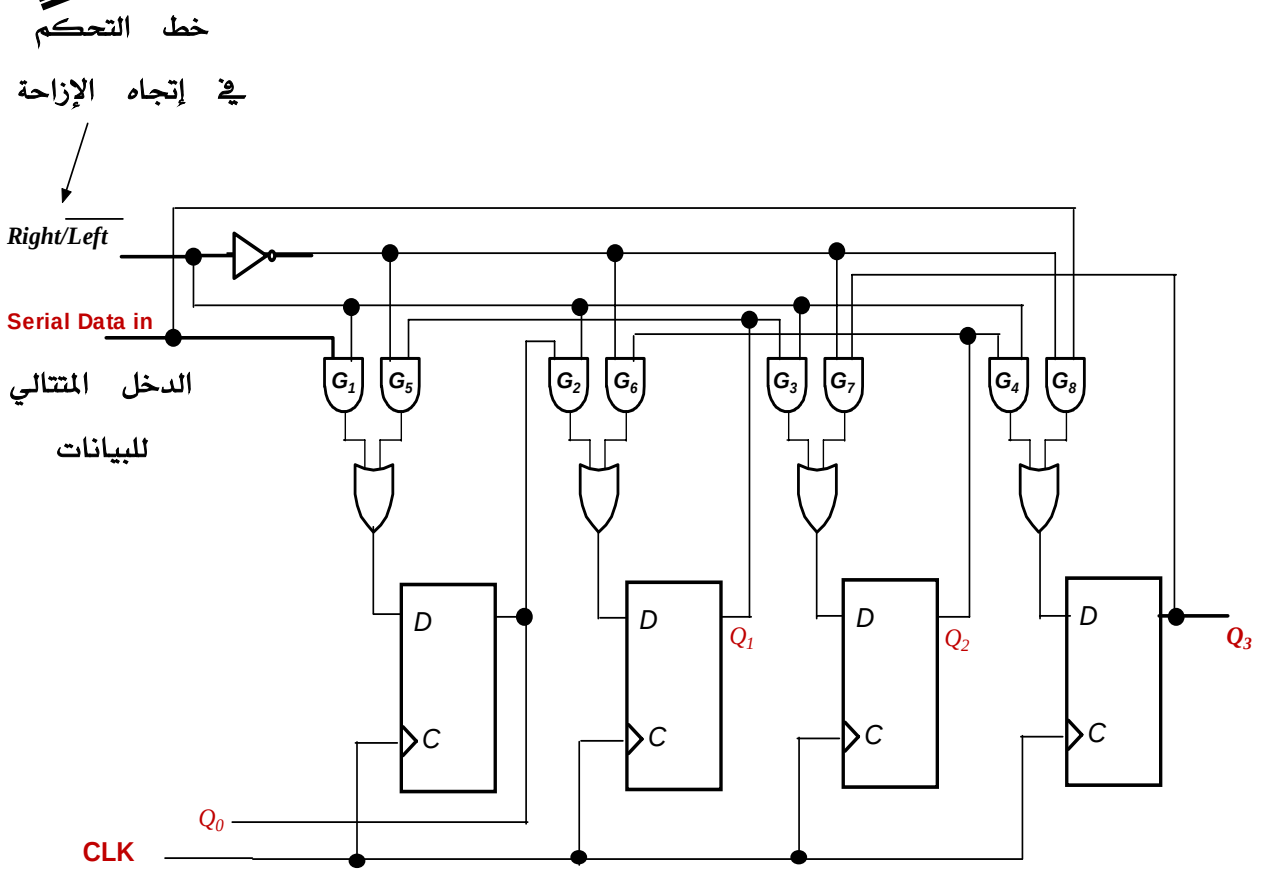
يعتبر مسجل الإزاحة ذو اتجاهين من المسجلات التي لها إمكانية إزاحة البيانات إلى اليمين أو إلى اليسار وهذا باستخدام بوابات منطقية تتحكم في اتجاه الإزاحة.

يوضح الشكل (٦ -١٨) مسجل إزاحة سعته أربعة بتات والذي يعمل على النحو التالي:

عندما يكون خط التحكم $Right/\overline{Left}$ على المستوى High تتحقق عملية إزاحة البيانات لليمين وعندما يكون هذا الخط على المستوى Low فإنه يحقق عملية الإزاحة لليسار.

لأن قيمة $Right/\overline{Left}=1$ تؤدي إلى تمكين البوابات G_1 ، G_2 ، G_3 ، G_4 وهذا يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يليه أو يتبعه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليمين.

أما قيمة $Right/\overline{Left}=0$ فإنها تؤدي إلى تمكين البوابات G_5 ، G_6 ، G_7 ، G_8 مما يؤدي إلى توصيل أي خرج قلاب بالدخل الذي يسبقه وعند حدوث أي نبضة للساعة Clock تتم عملية إزاحة البيانات بخانة واحدة لليسار.


خط التحكم
في إتجاه الإزاحة
Right/Left
Serial Data in
الدخل المتتالي
للبيانات
G1
G5
G2
G6
G3
G7
G4
G8
D
C
Q1
Q2
Q3
Q0
CLK

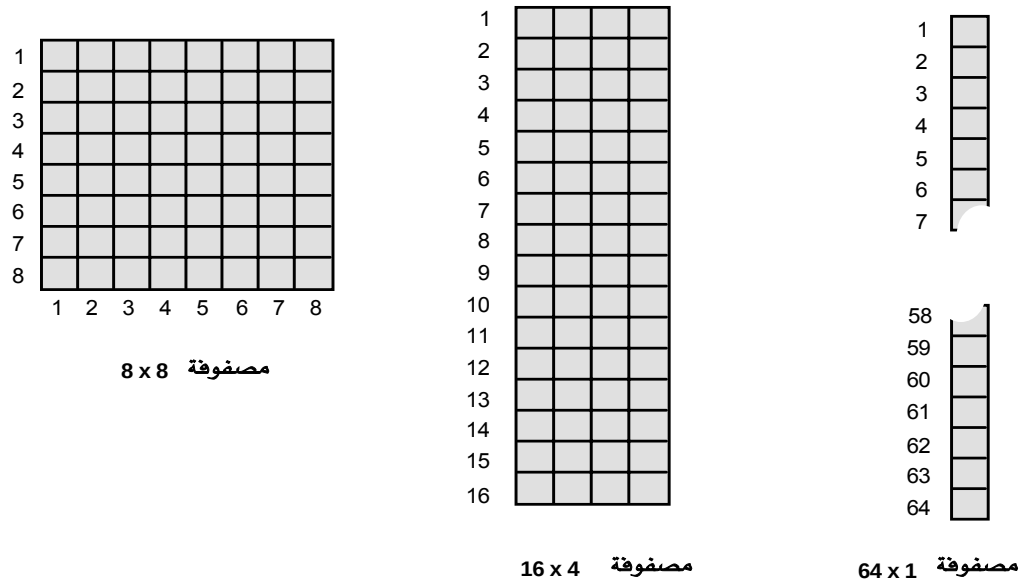
الشكل (٦ -١٨)

دوائر الذاكرة

تستخدم دوائر الذاكرة لتخزين الكميات الكبيرة من البيانات، تحتاج أجهزة الكمبيوتر لتخزين الكميات الكبيرة من البيانات الثنائية وهذا بصفة مستمرة أو شبه مستمرة.
كما يحتاج تشغيل الأنظمة المبنية على المعالج الدقيق على دوائر الذاكرة وهذا لحاجة تخزين البرامج والاحتفاظ بالبيانات خلال عملية المعالجة.

أساس ذاكرة أشباه الموصلات

الذاكرة هي جزء النظام المخصص لتخزين البيانات الثنائية. تحتوي ذاكرة أشباه الموصلات على مصفوفة تتكون من خلايا يتم فيها تخزين المعلومات.
إن أساس خلية الذاكرة هي وحدة قلاب بإمكانها تخزين وحدة معلومات تحتوي على بت واحد.
تخزن الذاكرة البيانات في وحدات تتراوح بين بت واحد وثمانية بتات.، البت: هو أصغر وحدة للبيانات الثنائية.
يتكون البايت Byte من ثمانية بتات. Nibble هو وحدة تتكون من أربعة بتات. الكلمة Word هي وحدة كاملة للمعلومات والتي غالباً ما تتكون من بايت أو أكثر.
تستطيع كل خلية في الذاكرة من الاحتفاظ ببت واحد قيمته 0 أو 1 .
تتكون الذاكرة من مصفوفة من الخلايا كما هو موضح في الشكل (٦ -١٩) .



الشكل (٦ -١٩)

من خلال الشكل نلاحظ أنه بإمكاننا تمثيل مصفوفة الخلايا بصفات مختلفة. كمابإمكاننا النظر إلى الذاكرة وكأن سعتها 8 بايت أو 16 Nibble أو 64 بت.

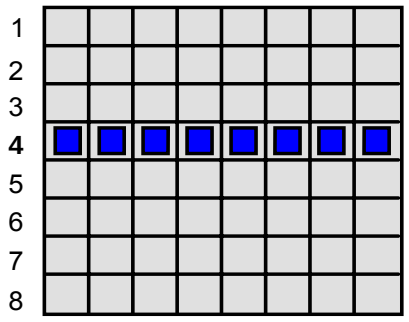
تتميز الذاكرة بعدد الكلمات التي تستطيع تخزينها مضروب في حجم الكلمة، فمثلاً باستطاعة ذاكرة (8 ×1k) تخزين 1024 كلمة حجم كل واحدة منها 8 بت ، كما تستطيع ذاكرة (8 ×8k) من تخزين 8192 كلمة حجم كل واحدة منها 8 بت.

نلاحظ أن 1k يعادل ثنائياً 1024 و 8k يعادل 8192 لأنه في الحقيقة يكون عدد الكلمات دائماً قوى للعدد 2.

$$2^{10} = 2024 \quad \text{و} \quad 2^{13} = 8192$$

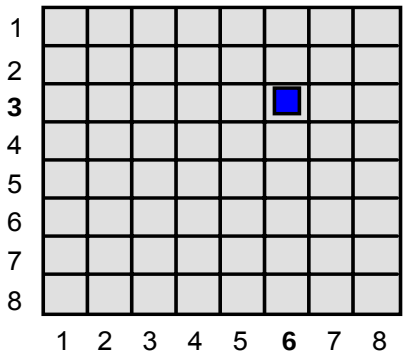
عنوان وسعة الذاكرة

العنوان هو موقع وحدة البيانات في مصفوفة الذاكرة. ففي الشكل (٦ -٢٠أ) يتحدد عنوان البت في الذاكرة برقم الصف والعمود والذي هو في نفس الوقت تقاطع الصف مع العمود. أما في الشكل (٦ -٢٠ب) فإن عنوان البايت فهو محدد برقم الصف فقط.



عنوان البايت : الصف 4

(ب)



عنوان البت :

الصف 3 و العمود 6

(أ)

الشكل (٦ -٢٠)

لذلك نلاحظ أن العنوان متعلق بكيفية تنظيم وحدات البيانات في الذاكرة. فمثلاً في أجهزة الكمبيوتر الشخصية تكون الذاكرة مبنية ومنظمة على البايتات مما يعني أن أصغر مجموعة بتات ممكن عنونتها هي 8.

سعة الذاكرة هي عدد وحدة البيانات الممكن تخزينها. فحسب تنظيم الشكل (٦ -٢٠ب) تكون السعة 8 بايت وحسب تنظيم الشكل (٦ -٢٠أ) فإذا السعة 64 بت.

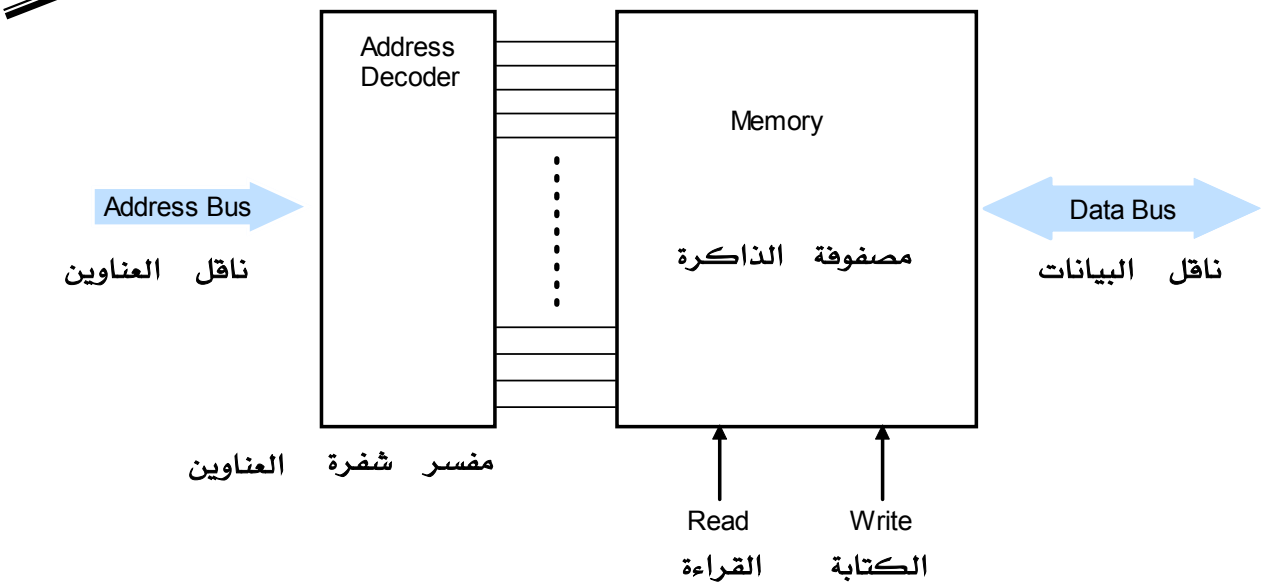
مبدأ تشغيل الذاكرة

تحتوي عملية الكتابة Write على وضع البيانات في عنوان معين في الذاكرة وتحتوي عملية القراءة Read على أخذ البيانات من عنوان معين في الذاكرة.

في خلال عملية الكتابة تدخل وحدات البيانات إلى الذاكرة وخلال عملية القراءة فإنها تخرج من الذاكرة.

وتتم عملية الدخول والخروج عبر مجموعة من الخطوط تسمى ناقل البيانات Data Bus .

يوضح الشكل (٦ -٢١) ناقل البيانات باتجاهين مما يعني أن البيانات تنتقل في كلا الاتجاهين خلال القراءة والكتابة.



الشكل (٦ -٢١)

في حالة تنظيم الذاكرة حسب الشكل (٦ -٢٠ب) يعني على أساس البايت فإن ناقل البيانات يتكون من 8 خطوط من خلالها يتم تحويل البيانات بصفة متوازية.

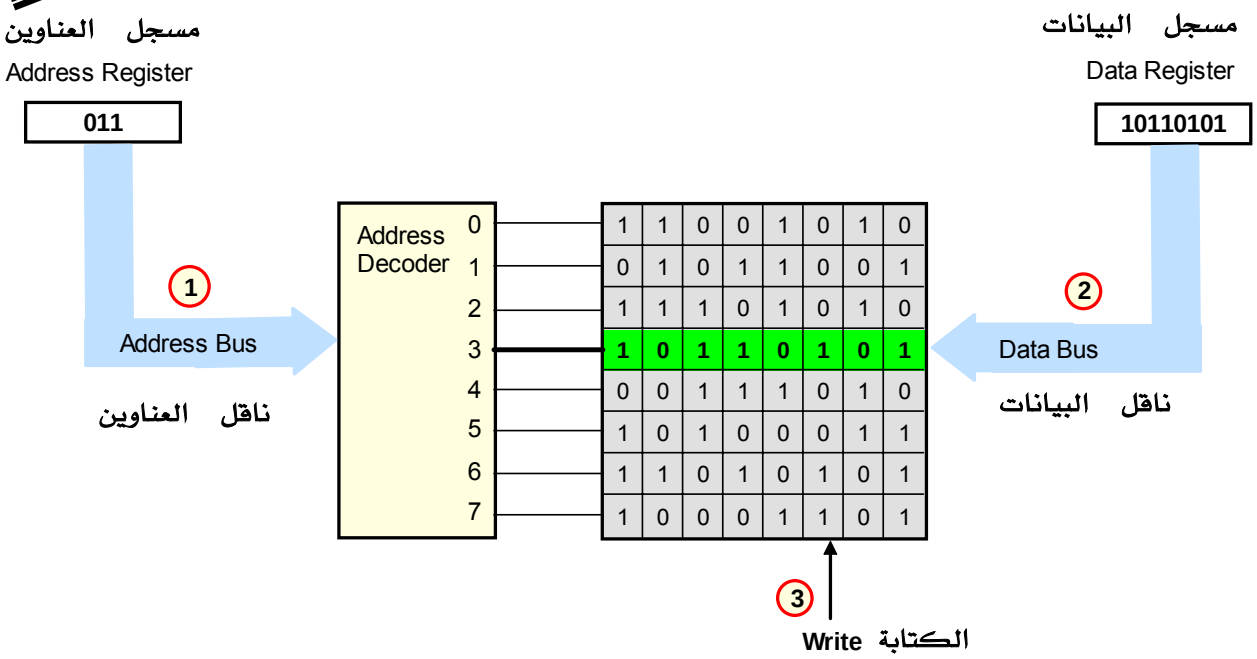
فمن خلال عملية القراءة أو الكتابة يتم اختيار عنوان بوضع شفرة ثنائية تمثل العنوان المقصود على مجموعة من الخطوط تسمى ناقل العنوان Address Bus. يتم اختيار العنوان بعد فك تشفيره.

يتعلق عدد خطوط العناوين بسعة الذاكرة ، وبإمكاننا اختيار 65536 عنوان إذا كان عدد خطوط العناوين يتألف من 16 خط وبإمكاننا الحصول على 4294967296 موقع أو عنوان في ذاكرة إذا كان عدد خطوط العناوين يساوي 32.

سوف نرى الآن كيف تتم عملية الكتابة على والقراءة من الذاكرة.

عملية الكتابة

يوضح الشكل (٦ -٢٢) عملية الكتابة على الذاكرة. يستلزم تخزين بايت من البيانات في الذاكرة استخدام شفرة موجودة في مسجل العناوين ومن بعد وضعها على ناقل العناوين. بعدها يقوم مفك الشفرة Decoder من فك شفرة العنوان واختيار العنوان أو الموقع المناسب في الذاكرة بعدها تتلقى الذاكرة أمر للكتابة، مما يؤدي إلى الحصول على بايت المعلومات الموجودة في مسجل البيانات ووضعه على ناقل البيانات ثم تخزينه في موقع أو عنوان الذاكرة الذي تم اختياره في المرحلة السابقة.

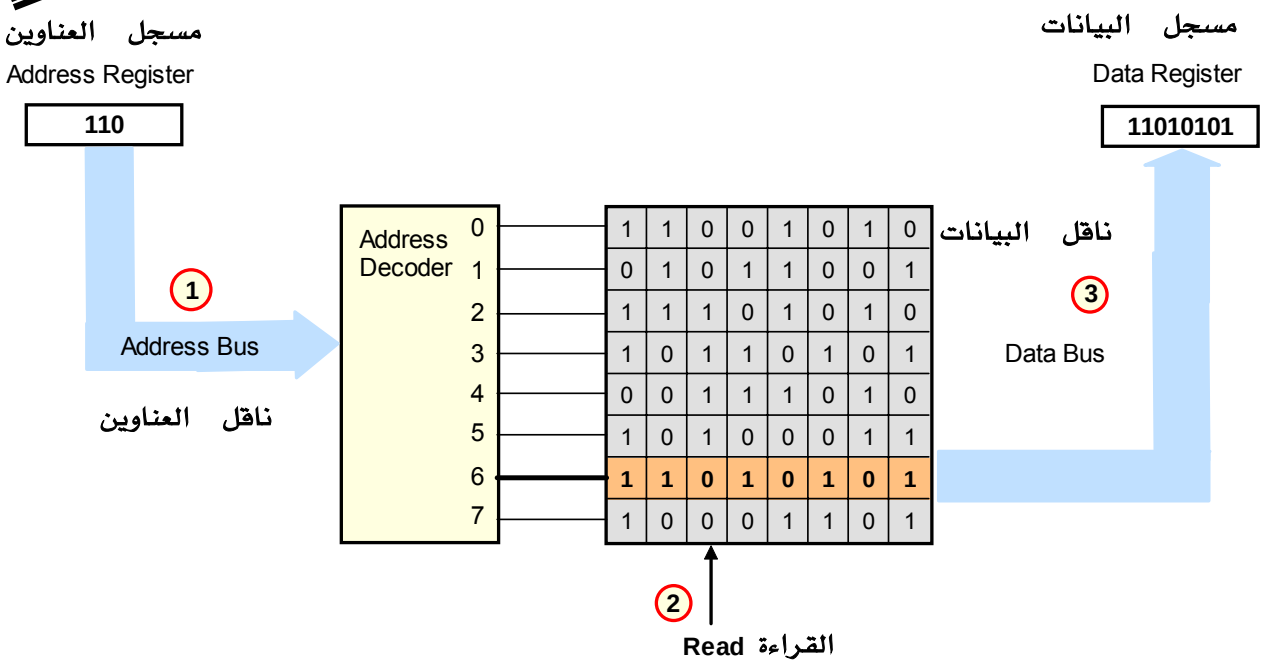


1. وضع العنوان 011 على ناقل العناوين ثم اختيار العنوان 3
2. وضع البيانات على ناقل البيانات
3. تخزين البيانات بأمر الكتابة

الشكل (٦ -٢٢)

عملية القراءة

يوضح الشكل (٦ -٢٣) عملية قراءة بايت من الذاكرة. يقوم النظام بوضع الشفرة الموجودة في مسجل العناوين على ناقل العناوين، بعدها يتم فك تشفير العنوان واختيار الموقع أو العنوان المناسب للذاكرة. بعدها تتلقى الذاكرة أمراً للقراءة مما يؤدي إلى الحصول على نسخة من بايت البيانات المخزن في العنوان السابق اختياره ثم وضعه على ناقل البيانات وأخيراً تحميله في مسجل البيانات لقراءته.



1. وضع العنوان 110 على ناقل العناوين ثم اختيار العنوان 6
2. تنفيذ أمر القراءة
3. وضع البيانات على ناقل البيانات و تحويلها الى مسجل البيانات

الشكل (٦ -٢٣)

الأنواع الرئيسية للذاكرة : ROM و RAM

تنقسم أنواع الذاكرة إلى فئتين رئيسيتين من أشباه الموصلات وهما :
الذاكرة العشوائية RAM و ذاكرة القراءة فقط ROM.

الذاكرة العشوائية RAM (Random Access Memories)

هي نوع من الذاكرة قابلة للكتابة والقراءة وفيها يتم اختيار العناوين عشوائياً أو في أي ترتيب سواء كانت عملية قراءة أو كتابة.

عندما ينقطع مصدر التغذية لهذا النوع من الذاكرة فإنها تفقد المعلومات المخزنة بها.

ذاكرة القراءة فقط ROM (Read Only Memories)

هي نوع من الذاكرة التي يتم فيها تخزين البيانات بصفة دائمة أو شبة دائمة، بإمكاننا القراءة من ذاكرة ROM دون الكتابة عليها.

تحتفظ ذاكرة ROM بالبيانات المخزنة حتى ولو انقطع مصدر التغذية.

يندرج تحت هذا النوع من الذاكرة ذاكرة القراءة المبرمجة PROM (Programmable ROM)

وذاكرة القراءة المبرمجة القابلة للمسح EPROM (Erasable PROM) وفيها يمكن مسح المعلومات التي بها وبرمجتها وإعادة مسحها وبرمجتها عدة مرات.

أنواع الذاكرة العشوائية RAM

تنقسم الذاكرة العشوائية RAM إلى فئتين وهما الذاكرة العشوائية الساكنة (Static RAM) SRAM والذاكرة العشوائية الديناميكية DRAM (Dynamic RAM) .

تستخدم ذاكرة SRAM قلابات كعناصر للتخزين لذا تبقى البيانات مخزنة طالما تواجد جهد التغذية.

أما الذاكرة DRAM فإنها تستخدم مكثفات كعناصر للتخزين، لذلك فإنها لا تستطيع احتفاظ البيانات لمدة طويلة دون إعادة شحن المكثفات بآلية تسمى تحديث أو تجديد Freshing.

تنقسم ذاكرة SRAM على فئتين ذاكرة SRAM المتزامنة Synchronous SRAM وذاكرة SRAM غير المتزامنة Asynchronous SRAM .

أما فئات DRAM فهي:

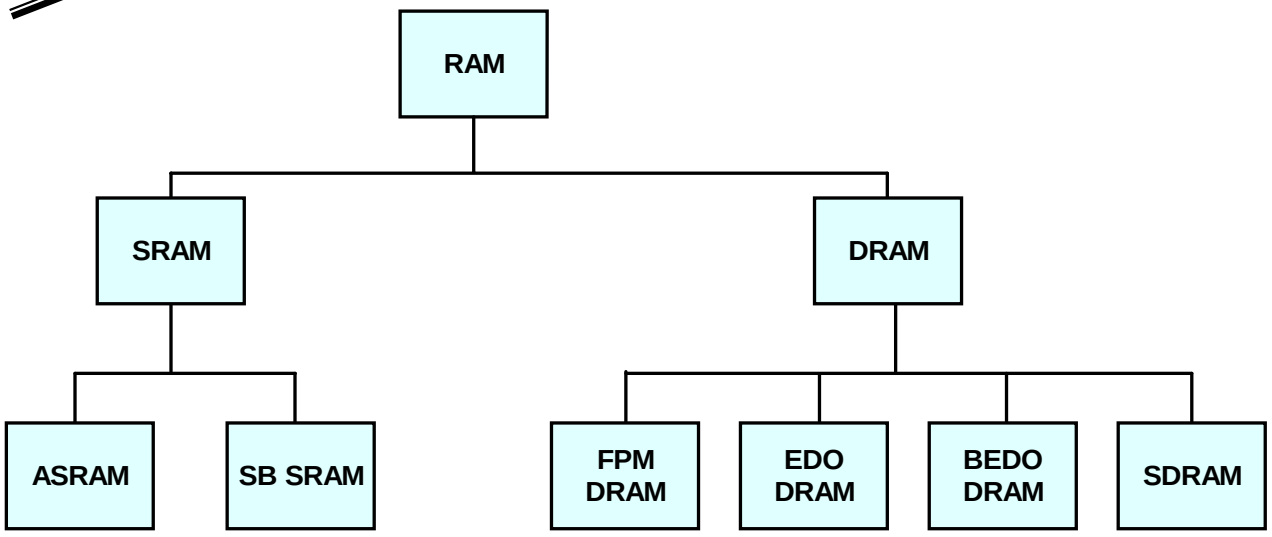
FPM DRAM (Fast Page Mode DRAM)

EDO RAM (Extended Data Out DRAM) ،

BEDO RAM (Burst Extended Data Out DRAM) ،

و SD RAM (Synchronous DRAM) .

يوضح الشكل (٦ -٢٤) كل فئات الذاكرة العشوائية RAM.



الشكل (٦ -٢٤)

عنونة الذاكرة

العنونة هي عملية اختيار إحدى خلايا الذاكرة للكتابة عليها أو القراءة منها.

ويتم تنظيم الذاكرة بوضع خلاياها في تنظيم مستطيلي بين الصفوف والأعمدة.

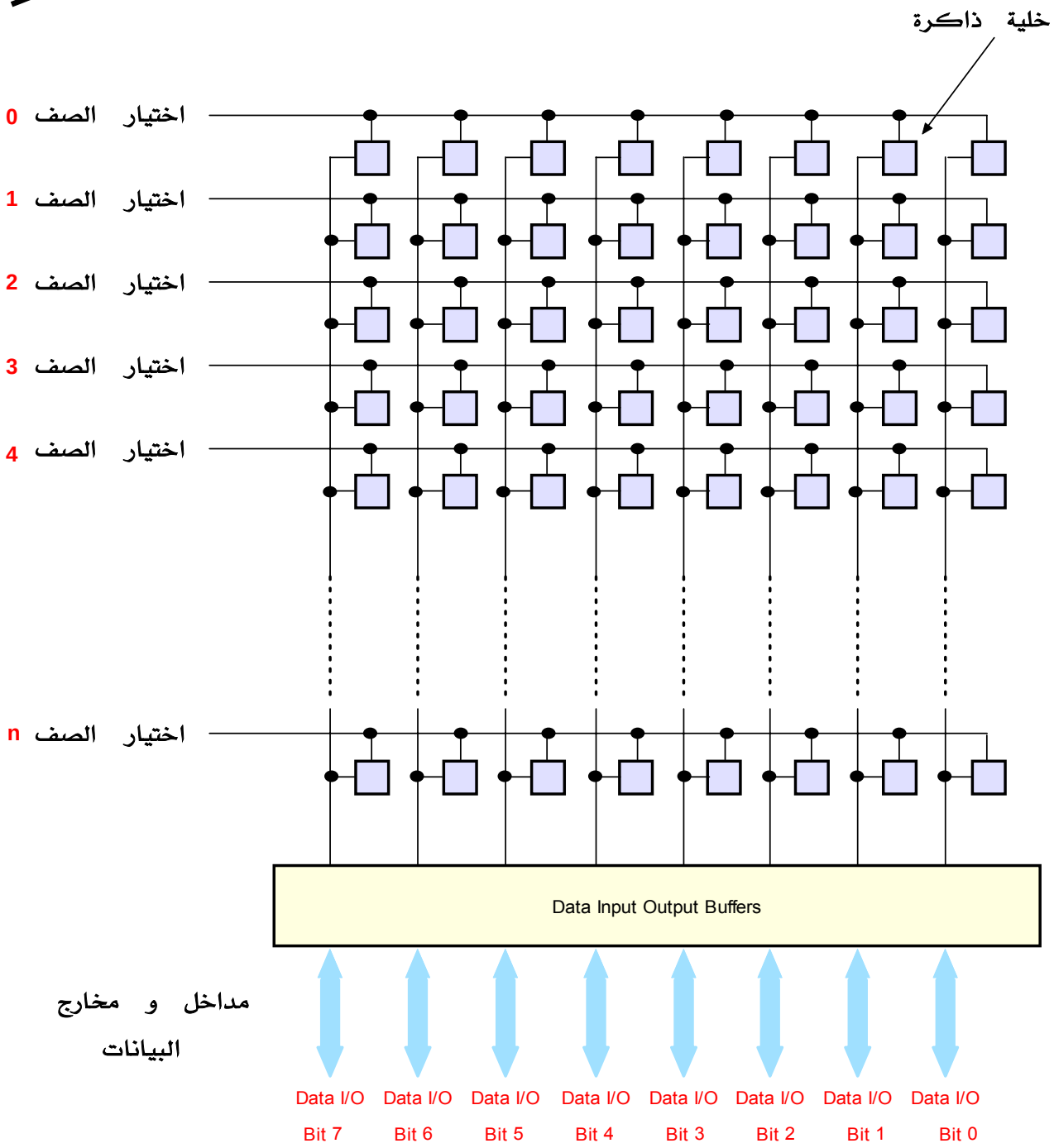
تقوم دوائر التحكم التي تصحب الذاكرة بتنشيط عنوان الذاكرة الذي نريد الكتابة عليه أو القراءة منه.

فمن خلال الشكل (٦ -٢٥) نلاحظ أن الذاكرة منظمة على شكل مصفوفة ذات 8 أعمدة و n صف.

تحتوي كل خلايا أي صف على نفس خط التحكم في اختيار الصف Row Select كل مجموعة من خطوط البيانات ، والتي هي في حالتنا 8 خطوط ، تمر عبر كل خلية وتكون موصلة بخط واحد للبيانات Data I/O الذي يستخدم كمدخل ومخرج في حالة الكتابة أو القراءة من الذاكرة.

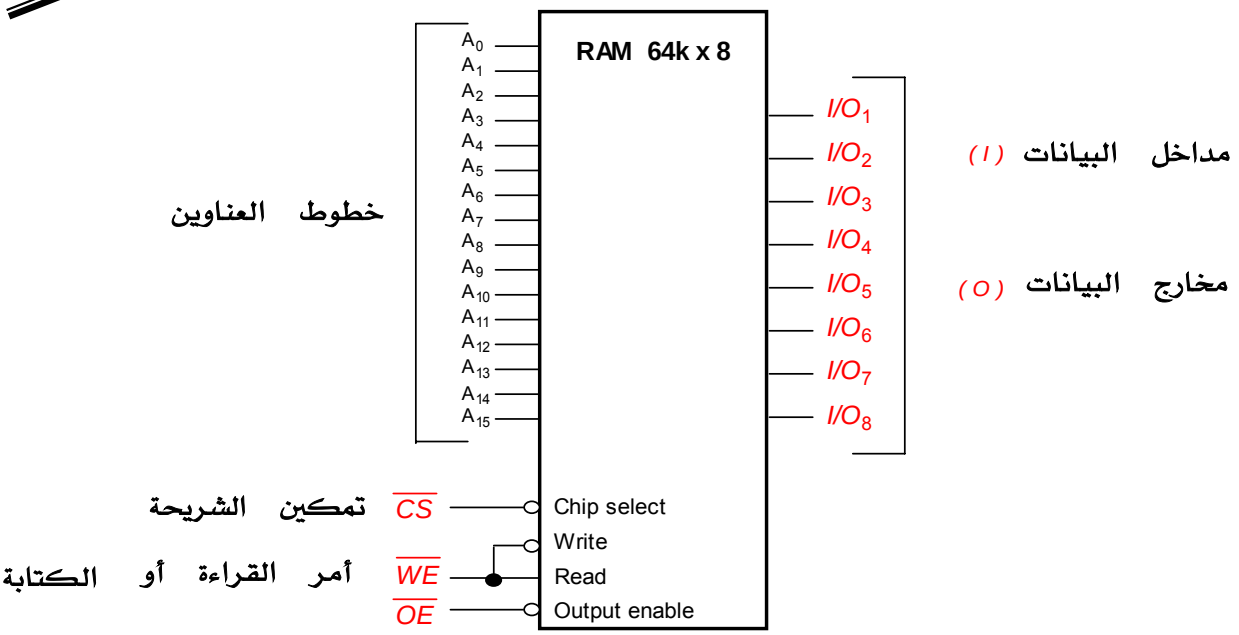
فلو أردنا تخزين وحدة بيانات والتي هي في حالتنا واحد بايت في أي واحد من صفوف هذه المصفوفة فما علينا إلا تنشيط عنوان الصف ثم أمر الكتابة مما يؤدي إلى وضع وتخزين كل من البتات الثمانية في الصف المختار.

أما في حالة قراءة وحدة البيانات ، فإنه يتم تنشيط خط القراءة مما يؤدي إلى إظهار الثمانية بتات المخزنة في العنوان المختار وتحويلها إلى مسجل البيانات عبر مخرج خطوط البيانات.



الشكل (٦ -٢٥)

يوضح الشكل (٦ -٢٦) شريحة ذاكرة سعتها 8 × 64k .



الشكل (٦ -٢٦)

في حالة القراءة ، يتم اختيار وتنشيط عنواناً من بين 65536 عنواناً الذي تحتوي عليه الشريحة، بعدها يتم إخراج وإظهار الثمانية بتات المخزنة في هذا العنوان عبر خطوط مخارج البيانات O_1 O_2 O_3 O_4 O_5 O_6 $O_7$$O_8$.

أما في حالة الكتابة ،فإنه يتم التخزين في العنوان المختار للثمانية بتات التي تظهر على خطوط مداخل البيانات I_1 I_2 I_3 I_4 I_5 I_6 $I_7$$I_8$.

ذاكرة القراءة فقط ROM

تقوم ذاكرة القراءة ROM بتخزين البيانات بصفة دائمة أو شبه دائمة. تدل البيانات المخزنة في ذاكرة ROM على عمليات ذات استخدام متكرر في أنظمة التطبيقات ، مثل الجداول أو الأوامر المبرمجة الضرورية في أي عملية بدء التشغيل للأنظمة كدور Bios خلال إقلاع جهاز الكمبيوتر.

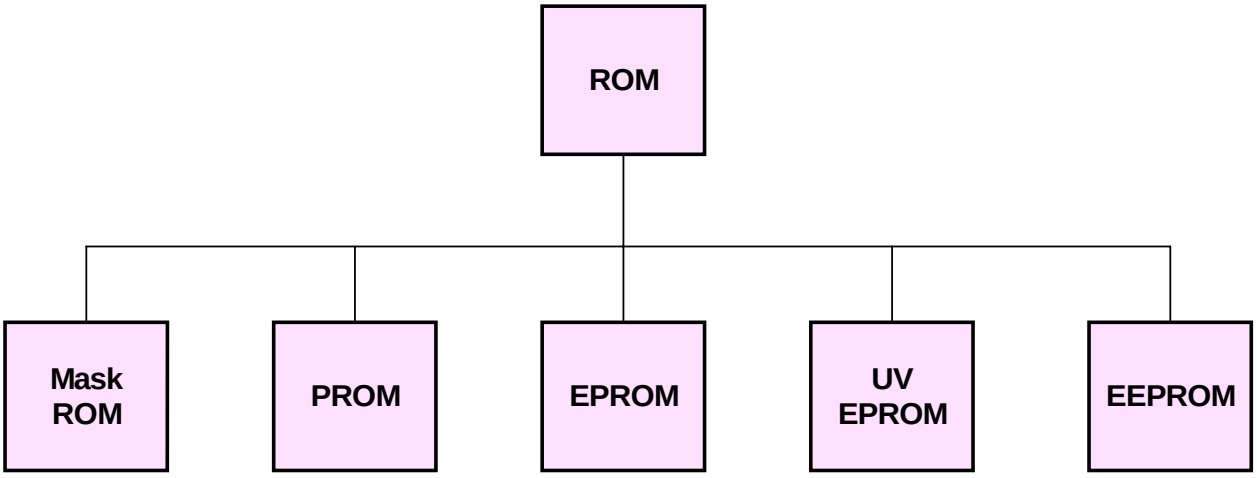
تحتفظ ذاكرة القراءة ROM بالبيانات حتى ولو انقطع جهد التغذية.

أنواع ذاكرة القراءة فقط ROM

تنقسم ذاكرة القراءة فقط ROM إلى عدة فئات نذكر منها:

- ذاكرة القراءة ذات قناع ROM Mask
- ذاكرة القراءة المبرمجة PROM (Programmable ROM)
- ذاكرة القراءة المبرمجة القابلة للمسح EPROM (Erasable PROM)
- ذاكرة القراءة المبرمجة القابلة للمسح الفوق بنفسجية (UV EPROM)
- وذاكرة القراءة المبرمجة القابلة للمسح كهربائياً EEPROM (Electrically EPROM)

يوضح الشكل (٦ -٢٧) كل فئات ذاكرة ROM .



الشكل (٦ -٢٧)

الذاكرة ذات القناع هي الذاكرة التي تكون فيها البيانات مخزنة بصفة دائمة ، تتم عملية التخزين خلال التصنيع.

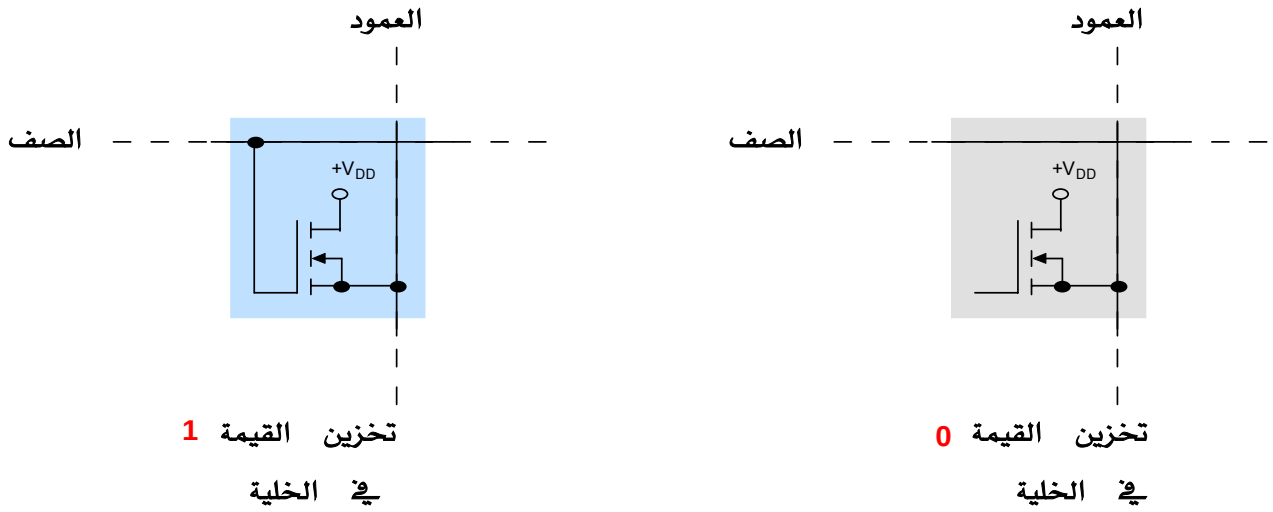
ذاكرة PROM هي الذاكرة التي تخزن فيها البيانات كهربائياً من قبل المستخدم بواسطة أدوات خاصة.

ذاكرة EPROM هي ذاكرة قائمة أساساً على شبه الموصل المعدني الأكسيدي MOS.

ذاكرة UV EPROM هي نوع من الذاكرة القابلة للبرمجة كهربائياً من قبل المستخدم. تتم عملية مسح البيانات المخزنة بعرض الذاكرة لإشارة ضوئية فوق بنفسجية لزمن مقداره بضع دقائق.
أما ذاكرة EEPROM فهي ذاكرة قابلة للمسح في خلال بضع ميللي ثانية.

من الضروري معرفة المكونات الأساسية لشريحة ذاكرة ROM قبل الشروع في معرفة الآلية التي بواسطتها تتم عملية تخزين البيانات أو برمجة ROM بصفة دائمة خلال التصنيع.

تستخدم أغلب شرائح ROM وجود أو عدم وجود توصيلة ترانزستور في تقاطع صف مع عمود ، ما يؤدي إلى تخزين 1 أو 0.
يوضح الشكل (٦ -٢٨) خلايا ذاكرة ROM من نوع MOS.



الشكل (٦ -٢٨)

إن وجود توصيلة من أي صف إلى بوابة Gate الترانزستور تمثل 1 في هذا الموقع أو الخلية لأنه عندما يكون خط الصف على المستوى High يؤدي إلى وضع الترانزستور ذو البوابة الموصلة بخط الصف في حالة ON ما يعني البت 1 ، وعندما لا تكون بوابة الترانزستور موصلة بخط الصف فإنه لا يوصل ويكون في حالة OFF ما يعني البت 0.

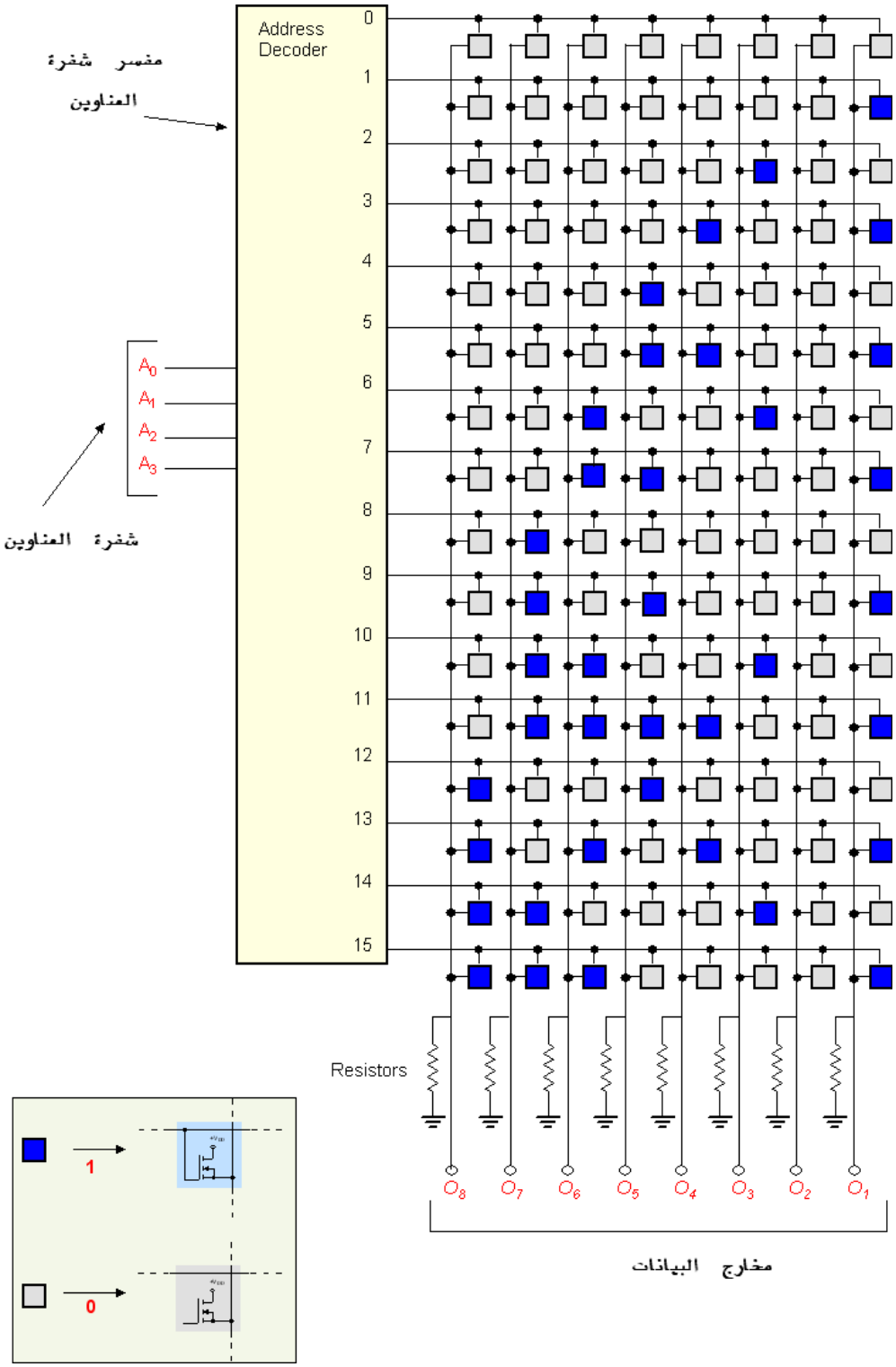
لنفترض أننا نريد برمجة شريحة من نوع ROM تؤدي عملية إس 2 أو تربيع وهذا يعني أن محتوى أي موقع يساوي عنوان الخلية إس 2 أو

(محتوى الذاكرة في العنوان n) = ^{2}(عنوان الصف n)

لتحقيق ذلك ما علينا إلا توصيل بوابة Gate الترانزستور بخط الصف المنشط أو العنوان المختار لغرض تخزين البت 1 وعدم توصيل بوابته لتخزين البت 0.

لأن كون الترانزستور في حالة ON يؤدي إلى وجود جهد قيمته 5V على طرف المقاومة الموجودة على العمود المناسب ما يعني 1 وكونه في حالة OFF يؤدي إلى جهد قيمته 0V على طرف المقاومة ما يعني 0.

يوضح الشكل (٦ -٢٩) ذاكرة ROM سعتها 16 بايت أو 128 بت قادرة على تخزين 16 كلمة طول كل واحدة منها 8 بت. تحتوي كل كلمة مبرمجة على القيمة التربيعية لعنوان صف هذه الكلمة.

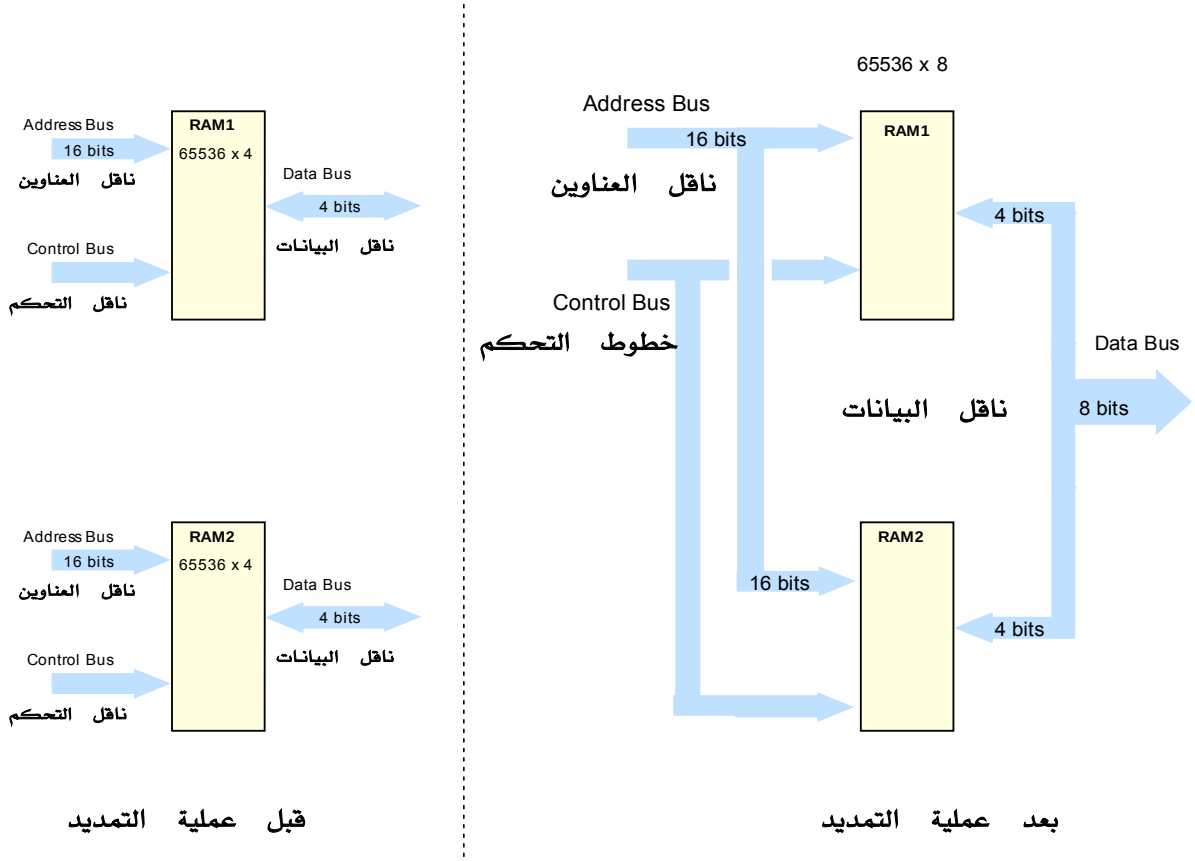

Address Decoder
مفسر شفرة العناوين
شفرة العناوين
A0
A1
A2
A3
0
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
Resistors
O8 O7 O6 O5 O4 O3 O2 O1
مخارج البيانات
1
0

الشكل (٦ -٢٩)

تمديد الذاكرة Memory Expansion

بامكاننا تمديد الذاكرة لتكبير طول الكلمة والذي هو عدد البتات في كل عنوان أو تكبير سعة الذاكرة والذي هو عدد العناوين. تتم عملية التمديد بإضافة شرائح وتوصيلها مع بعضها بصفة معينة.

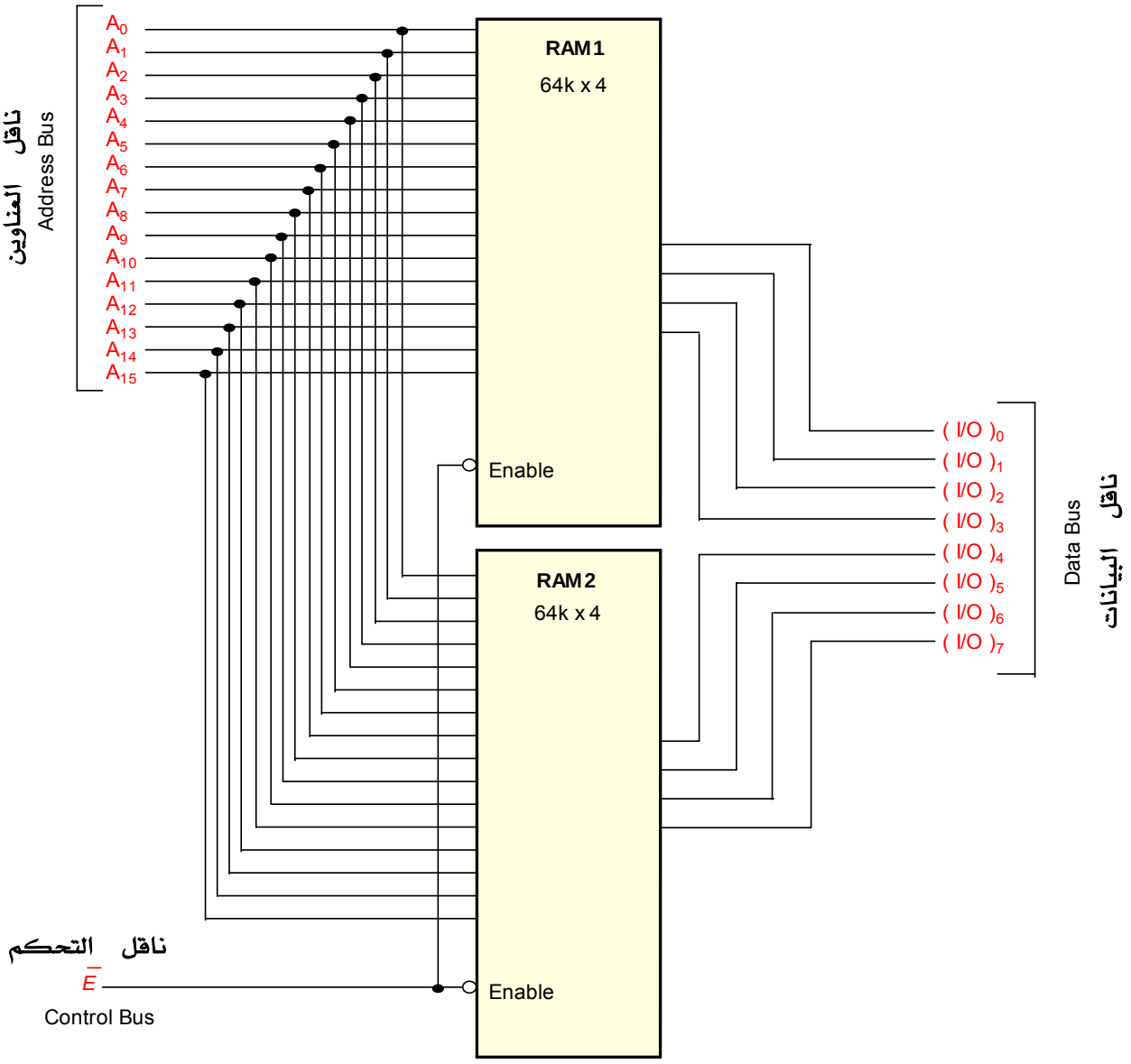
يوضح الشكل(٦ -٣٠) كيف يتم تمديد ذاكرة سعتها (4 ×64k) يعني 65536 عنواناً يحتوي كل واحد منه على كلمة طولها 8 بت وهذا باستخدام شريحتين طول كل كلمة فيها 4 بت على النحو الموضح في الشكل.



الشكل(٦ -٣٠)

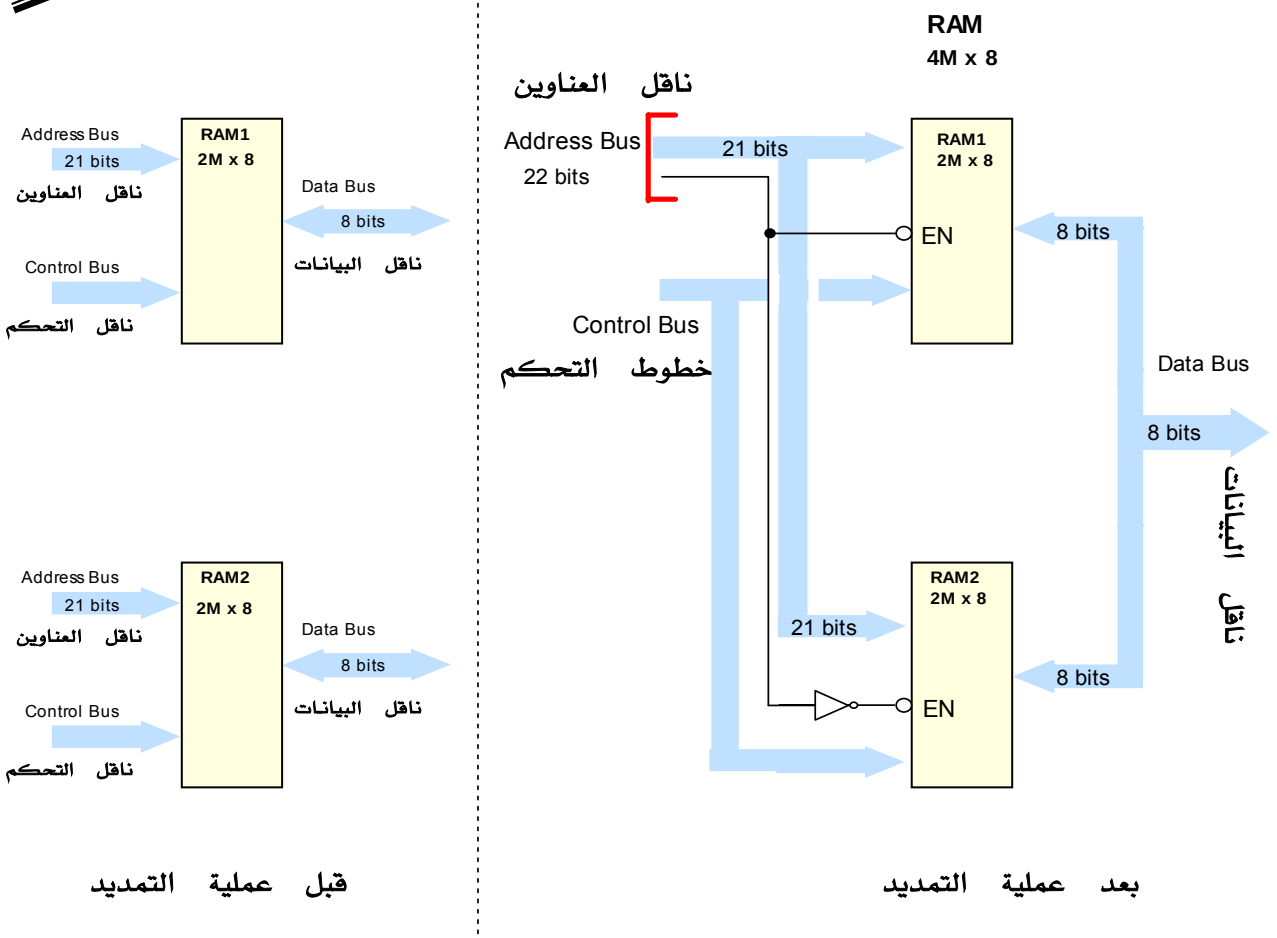
يعطي الشكل(٦ -٣١) أكثر وضوح لهذه العملية. احتجنا إلى 16 خط لناقل العناوين لأن $2^{16}=65536$

وإذا أردنا تمديد الكلمة إلى طول مقداره 16 بت فعلينا استخدام 4 شرائح طول كل كلمة واحدة منها 4 بت.



الشكل(٦ -٣١)

لتمديد سعة الذاكرة على طريقة تكبير عدد العناوين فعلينا توصيل الشرائح كما هو موضح بالشكل(٦ -٣٢).



الشكل(٦ -٣٢)

نلاحظ في الشكل كيف يتم الحصول على ذاكرة سعتها 4 ميجا بايت من خلال شريحتين سعة كل واحدة منها 2 ميجا بايت.

تحتاج العملية إلى استخدام خط عنوان إضافي لناقل العناوين وتحويله من 21 خط $(2^{21}=2.097152)$ إلى 22 خط $(2^{22}=4194304)$.

يقوم الخط 2 في ناقل العناوين باختيار وعنونة 2 ميجا بايت الأولى عندما تكون قيمته 0 (مدخل EN الذاكرة الأولى Low) وعنونة 2 ميجا بايت الثانية عندما تكون قيمته 1 (مدخل EN الذاكرة الثانية Low).

اختبار ذاتي

العدادات

١. ما هو الفرق بين عداد متزامن وعداد غير متزامن؟

٢. ماذا نعني بمعامل العداد Modulus ؟

٣. ما هو معامل عداد ذو خمس بتات أو يتكون من 5 قلابات؟

٤. ما هو عدد القلابات الذي يحتوي عليه عداد ذو معامل 18؟

٥. ماذا نعني بعداد BCD؟

٦. ما هو معامل العداد الذي يتكون من 4 عدادات معامل كل واحد منهم 10؟

٧. قم بتصميم عداد تصاعدي غير متزامن ،معامله 23 ؟

٨ - قم بتصميم عداد تنازلي غير متزامن، معامله 13 ؟

٩ - من أي أنواع الدوائر المنطقية تعتبر العدادات ؟

١٠ وضح الفرق بين العدادات المتزامنة والعدادات غير المتزامنة ؟

١٠ صمم عداد تصاعدي غير متزامن ذو معامل (8) باستخدام قلابات (J-K) مع كتابة جدول الحقيقة ، ورسم الشكل الموجي للخرج ؟

١٠ صمم عداد تنازلي متزامن ذو معامل (6) باستخدام قلابات (T) مع كتابة جدول الحقيقة ، ورسم الشكل الموجي للخرج ؟

مسجلات الإزاحة
Shift Registers

١. ما هي العناصر الأساسية التي يتكون منها مسجل الإزاحة؟

٢. ما هو نوع المسجل الذي بإمكانه إزاحة البيانات إلى اليمين أو إلى اليسار؟

٣. ما هو عدد نبضات الساعة اللازم للإزاحة بصفة متتالية بايت من البيانات في مسجل الإزاحة؟

٤. ما هو عدد نبضات الساعة اللازم للإزاحة بصفة متوازية بايت من البيانات في مسجل الإزاحة؟

٥. يحتوي مسجل إزاحة لليمين ذو الدخل المتوازي والخرج المتتالي على البيانات التالية :
11001010 ما هي البيانات التي يحتوي عليها المسجل بعد مرور 3 نبضات للساعة؟

٦. نريد إدخال البيانات التالية 11001010 في مسجل إزاحة لليمين ذو الدخل المتتالي والخرج المتتالي. ما هي البيانات التي يحتوي عليها المسجل بعد مرور 4 نبضات للساعة؟

٧. تم إدخال البيانات 11001010 بصفة متوازية في مسجل ذو الدخل المتوازي والخرج المتوازي. ما هي البيانات المحصل عليها في الخرج بعد مرور 4 نبضات للساعة، علماً أنه تمت فيه إزاحة البيانات إلى اليسار.

٨. ماذا يحدُث في مسجل إزاحة ذو الدخل المتتالي والخرج المتتالي إذا وصلنا خرج المسجل بدخله؟

دوائر الذاكرة

١. ما هي سعة ذاكرة ذات 512 عنواناً وقادرة على تخزين 8 بت في كل عنوان؟

٢. ما هو عداد البايتات التي تتكون منه كلمة طولها 32 بت؟

٣. ماذا يحدث لبيانات الذاكرة العشوائية عند انقطاع جهد التغذية؟

٤. ما هو عدد خطوط العناوين التي تحتوي عليه ذاكرة ذات 256 عنواناً؟

٥. ما هو عدد العناوين الذي تحتوي عليه ذاكرة سعة ناقل عناوينها 24 ؟

٦. ما هي السعة بالبايت وبالبت لذاكرة عدد خطوط ناقل عناوينها 28 وقادرة على تخزين 4 بت في كل عنوان؟

٧. ما هي الوسائل المستخدمة لتمديد الذاكرة؟

٨. كيف يتم تمديد عدد مداخل ومخارج البيانات إلى 16 مدخل أو مخرج باستخدام شريحة ذاكرة ذات 4 مداخل ومخارج؟

٩. كيف يتم تمديد عدد العناوين إلى 64K باستخدام شرائح ذاكرة ذات 32K ؟

دوائر رقمية

المعالجات

جميع الحقوق محفوظة للمؤسسة العامة للتعليم الفني والتدريب المهني

الجدارة:

إعطاء الطالب الأساسيات الضرورية لتمكينه من دراسة هذا الموضوع بشكل أوسع في وقت لاحق. التعرف على نوع من أنواع المعالجات المستخدمة في أجهزة الحاسب من نوع IBM وهي معالجات إنتل. دراسة المعالج ٨٠٨٦ كنموذج لشرح المفاهيم الأساسية للمعالجات.

أهداف الوحدة:

عند إكمال هذا الدرس ستكون قادراً على:

- تعريف المعالج ومكوناته الأساسية.
- شرح وظيفة ALU، وحدة السجل ووحدة التحكم.
- شرح ناقل العناوين وناقل البيانات وناقل التحكم.
- إيجاد حجم الذاكرة التي يمكن للمعالج الوصول إليها.
- تعريف لغة الآلة و لغة التجميع.
- معرفة مراحل تنفيذ برنامج بلغة التجميع.

مستوى الأداء المطلوب:

أن يصل الطالب المتدرب إلى إتقان هذه الجدارة ٨٠ ٪.

الوقت المتوقع للتدريب:

٣ ساعات .

الوسائل المساعدة:

- دفتر و قلم.

متطلبات الوحدة:

- اجتياز جميع الوحدات السابقة.

المعالج والحاسب:

الحاسب الذي تستعمله لتصفح الإنترنت أو لقراءة وثيقة ما، يستخدم معالجاً للقيام بهذا العمل. فالمعالج هو نواة الحاسب سوءاً حاسب مكتبي أو خادم شبكة أو جهاز حاسب محمول.

فالمعالج عبارة عن شريحة إلكترونية، يُمكن برمجتها بسلسلة من التعليمات للقيام بمهام معينة على البيانات و أجهزة الدخل و الخرج. عند توصيل معالج مع ذاكرة باستخدام وسيط لنقل البيانات من وإلى المحيطات الخارجية نحصل على جهاز حاسب بسيط.

المكونات الأساسية للمعالج:

يتكون المعالج من ثلاث مكونات أساسية: وحدة الحساب والمنطق(Arithmetic and Logic Unit)، ALU و وحدة السجلات Registers Unit و وحدة التحكم Control Unit. الشكل التالي يبين الوحدات الرئيسية للمعالج بصورة عامة:

وحدة الحساب والمنطق:

تقوم هذه الوحدة بعمليات حسابية على البيانات مثل الجمع والطرح والضرب والقسمة وتقوم أيضاً بعمليات منطقية مثل NOT وAND وOR وXOR .

وحدة السجلات:

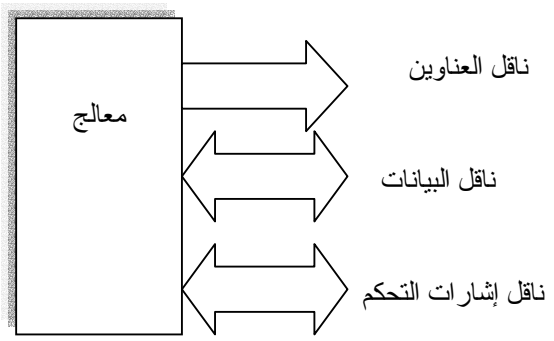
أثناء تنفيذ برنامج ما لسلسلة من التعليمات، تُخزن البيانات مؤقتاً في مجموعة من السجلات الداخلية التي تشكل هذه الوحدة. فهذه الوحدة تُستخدم إذن كذاكرة داخلية مؤقتة.

وحدة التحكم:

تشكل هذه الوحدة عصب المعالج و ذلك بتنفيذ وظائف التوقيت والتحكم في الإشارات للحصول على البيانات من و إلى المعالج و القيام كذلك بتنفيذ التعليمات المبرمجة وجميع العمليات الأخرى.

نواقل المعالج:

قياسياً، للمعالج ثلاث نواقل لتبادل المعلومات داخلياً وخارجياً كما هو مبين في الشكل التالي. هذه النواقل هي: ناقل العناوين و ناقل البيانات و ناقل التحكم.



ناقل العناوين :

ناقل العناوين هو ناقل أحادي الاتجاه، من المعالج إلى الذاكرة أو محيط خارجي آخر. يستعمل المعالج ناقل العناوين لتعيين عناوين لأماكن مختلفة في الذاكرة أو منافذ الدخل و الخرج I/O و ذلك للقيام بنقل البيانات منها. وحجم أو نطاق ناقل العناوين يرتبط بعدد الخطوط أو الخانات المستخدمة.

والمعالجات القديمة لها ٤ خانات، ارتفع هذا الرقم إلى ٨ و١٦ و٢٠ و٣٢ مع تقدم تقنية صناعة المعالجات.

وكلما زاد عدد خانات ناقل العناوين كلما زاد حجم الذاكرة التي بإمكان المعالج الوصول إليها.

وباستخدام ١٦ خانة يمكن للمعالج الوصول إلى ٦٥٣٦ مكان في الذاكرة.

كما أنه باستخدام ٣٢ خانة يمكن للمعالج الوصول إلى ٤,٢٩٥,٠٠٠,٠٠٠.

العلاقة التي تربط عدد خانات ناقل العناوين و عدد أماكن الذاكرة تتلخص في التالي:

$$M=2^n$$

M يمثل عدد أماكن الذاكرة

n يمثل عدد خانات ناقل العناوين.

مثال إذا كان عدد خانات ناقل البيانات ١٦ يمكن إذن الوصول إلى ٦٥٥٣٦=^{16}٢. فإذا كان ٦٤ خانة ١٨٤٤٦٧٤٤٠٧٣٧٠٩٥٥١٦١٦ =^{64}٢.

ناقل البيانات:

يعتبر ناقل البيانات ناقل ذو اتجاهين حتى يتمكن من نقل البيانات والتعليمات من وحدة إلى أخرى. يمكن لناقل البيانات أن يحمل ٨ أو ١٦ أو ٣٢ أو ٦٤ خانة وهذا حسب نوع المعالج. كلما زاد عدد خانات ناقل البيانات كلما زاد أداء المعالج و سرعة تنفيذ البرامج.

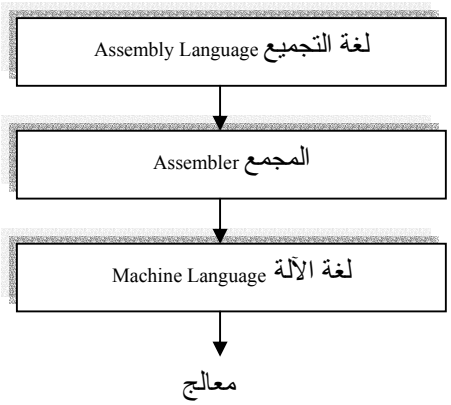
ناقل التحكم :

يعتبر ناقل إشارات التحكم ذو اتجاهين، إلا أنه لا يوجد شكل قياسي لعدد خانات هذا الناقل، إذ أن عددها وعلاقاتها تختلف كثيراً من معالج إلى آخر. يستخدم المعالج ناقل إشارات التحكم لتنسيق العمليات والاتصال بالمكونات الخارجية.

برمجة المعالج:

المعالج لا يفهم إلا لغة واحدة خاصة به و هي لغة الآلة و التي تتشكل من أعداد ثنائية (٠ و ١). يصعب للمبرمج استخدام هذه اللغة، لذلك تم تطوير لغات أخرى تُسهل برمجة المعالج. تُصنف هذه اللغات باللغات منخفضة المستوى (Low level languages) مثل لغة التجميع Assembly language و اللغات عالية المستوى (High level languages) مثل لغة C و البيسك و لغة الجافا...إلخ.

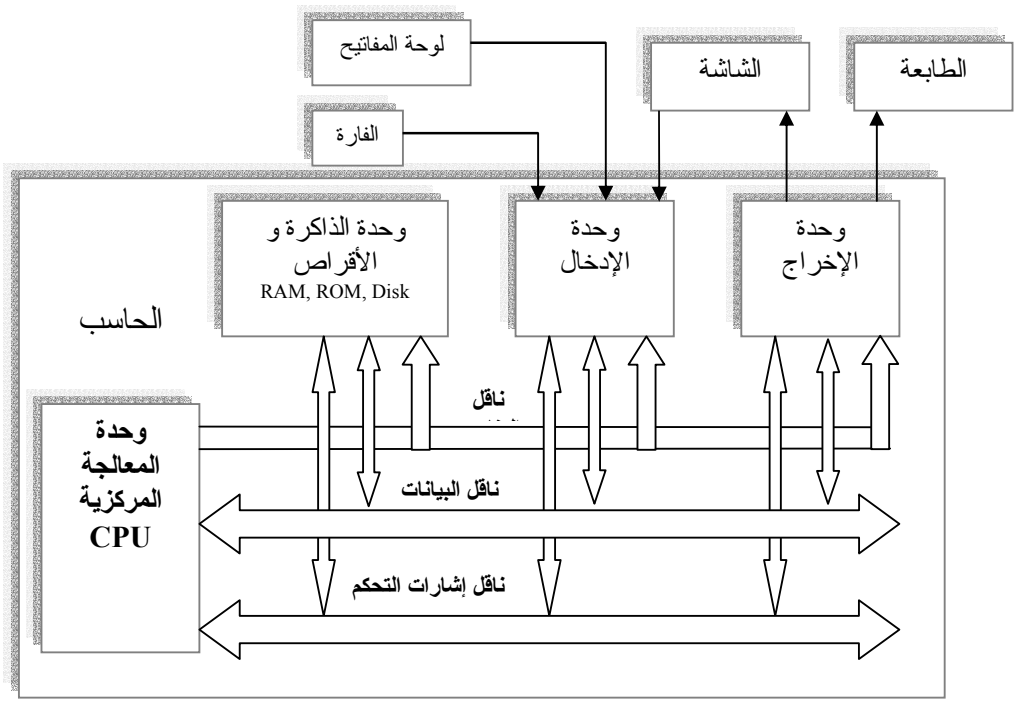
فلغة التجميع، هي تعليمات تشبه كلمات باللغة الإنجليزية تسمى بـ mnemonics ، تسهل برمجة المعالج لكنها تظل لغة معقدة إذا ما قارناها مع لغات عالية المستوى. إذا استخدمنا لغة التجميع لكتابة برنامج ما، فلكي نستطيع مخاطبة المعالج، يجب تحويل شفرة لغة التجميع إلى شفرة لغة الآلة. يقوم بعملية التحويل برنامج يسمى بالمجمع أو Assembler. الشكل التالي يوضح عملية برمجة المعالج بلغة التجميع.



أما لغات البرمجة عالية المستوى، التي لا تعتمد على نوع المعالج، فإنها تُحول إلى لغة الآلة عن طريق ما يسمى بالمترجم (Interpreter) أو بالمفسر (Compiler).
سوف نعود إلى موضوع برمجة المعالج في الفقرات القادمة بشكل أكثر وضوحاً.

الحاسب:

لكي نحصل على جهاز حاسب ما علينا إلا توصيل المعالج بمكونات خارجية مثل الذاكرة RAM) و (ROM و أجهزة الدخل و الخرج (Input/Output Devices). يُبين الشكل التالي مكونات حاسب نموذجي.



تتصل وحدة المعالجة المركزية CPU مع كل من وحدات الذاكرة و الإدخال والإخراج من خلال نواقل العناوين والبيانات والتحكم.

وحدة المعالجة المركزية CPU

تتكون هذه الوحدة من المعالج وجميع الدوائر الداخلية. مبدئياً، يقوم CPU بـ:

- تحديد عنوان في الذاكرة.
- جلب تعليمة البرنامج المخزّنة في مكان الذاكرة.
- تنفيذ التعليمة.

عند نهاية تنفيذ التعليمة الحالية، ينتقل CPU إلى التعليمة التالية. يكرر هذه العملية إلى نهاية جميع التعليمات التي تخص البرنامج.

وحدة الذاكرة:

تتكون وحدة الذاكرة من RAM و ROM و قرص لتخرين البرامج. تُخزَّن البيانات والبرامج في RAM مؤقتاً أثناء تنفيذ تعليمات البرنامج، و تُخزن برامج النظام في ROM مثل BIOS. تقوم برامج النظام عامة بالتحكم في الشاشة والطابعة وفحص جهاز الحاسب من الأخطاء ومهام أخرى.
بما أن RAM هي ذاكرة تحتفظ بالبيانات بشكل مؤقت، فعند قطع التيار يجب استعمال وسيلة أخرى لحفظ البرامج. نستخدم القرص لتمكين الحاسب من استرجاع البرامج عندما نحتاج إليها.

وحدات الإدخال و الإخراج:

يستقبل جهاز الحاسب المعلومات الخارجية عن طريق وحدة الإدخال، و يرسل المعلومات عن طريق وحدة الإخراج.

المعالج إنتل ٨٠٨٦

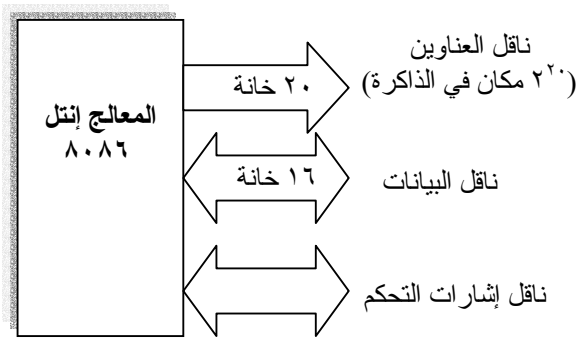
مقدمة

المعالج إنتل ٨٠٨٦ هو معالج ١٦ خانة، يستخدم كوحدة معالجة مركزية CPU في أجهزة الحاسب. ١٦ خانة تعني أن وحدة الحساب والمنطق و السجلات الداخلية ومعظم الأوامر مصممة للعمل مع بيانات ثنائية طولها ١٦ خانة. يعتبر المعالج الفئة الأولى للمعالجات ٨٦×٨٠ (٨٠٢٨٦، ٨٠٣٨٦ ، ٨٠٤٨٦، بنتيوم...).
سوف نتطرق في هذه المادة إلى طريقة عمل المعالج الأساسية و البنية الداخلية له و وصف وحدة مواجهة الناقل Bus Interface unit (BIU) و معرفة وظائف السجلات الداخلية و وصف وحدة التنفيذ Execution Unit(EU).

طريقة العمل الأساسية للمعالج ٨٠٨٦:

يحتوي المعالج إنتل ٨٠٨٦ على:

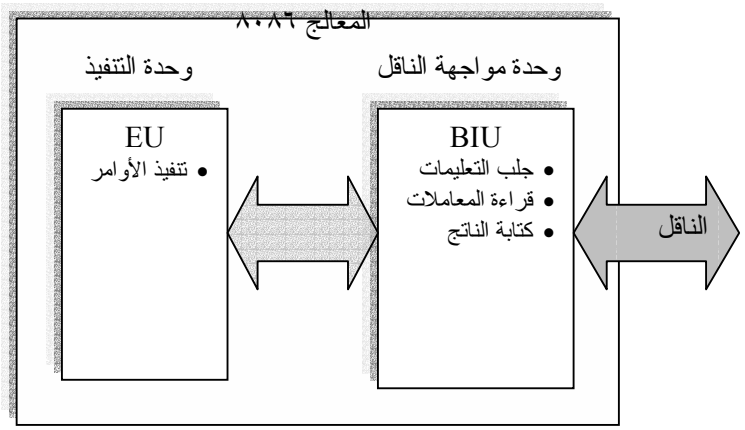
- ١٦ خانة ناقل البيانات Data Bus، تمكّن المعالج من قراءة وكتابة بيانات طولها ١٦ خانة (٢ بايت) أو ٨ خانات (١ بايت) من و إلى الذاكرة في نفس الوقت.
- ٢٠ خانة ناقل العناوين، يمكّن المعالج من عنونة أي عنوان لـ 2^{20} أو ١٠٤٨٥٧٦ مكان في الذاكرة. كل مكان في الذاكرة يمثل بايت (٨ خانات). لتخزين ١٦خانة يستعمل المعالج مكانين متتاليين في الذاكرة، سوف نتكلم أكثر تفصيل في هذا الموضوع لاحقاً.



المعالج هو مكوِّن يقوم بتنفيذ برنامج (قائمة من التعليمات) من خلال تكرار الخطوات الأساسية التالية:

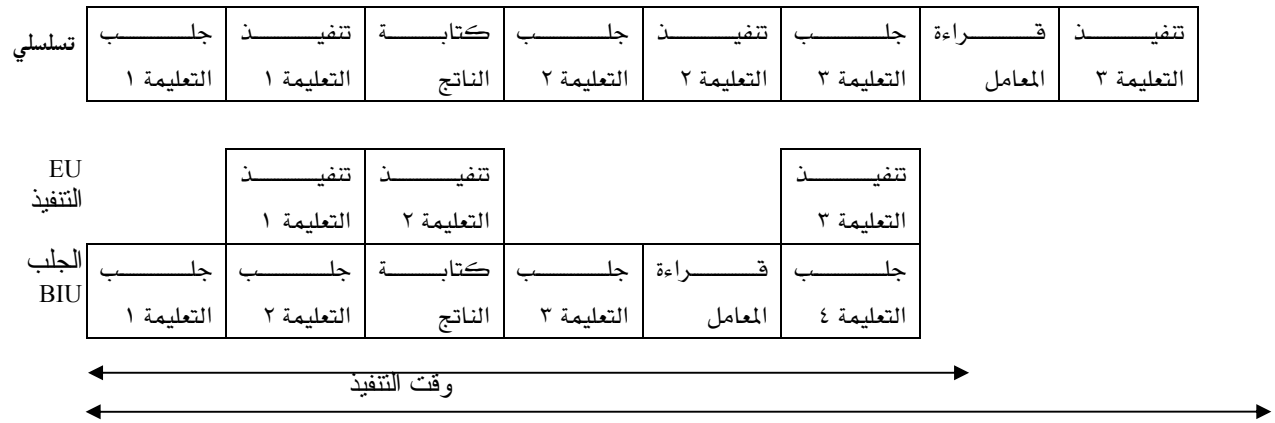
١. جلب التعليمة التالية من الذاكرة.
٢. قراءة التعليمة.
٣. تنفيذ التعليمة.
٤. كتابة الناتج في الذاكرة (إذا احتاجه البرنامج).

يتم تنفيذ هذه الخطوات الأساسية في المعالج ٨٠٨٦ من خلال وحدتين داخليتين منفصلتين هما: وحدة التنفيذ Executive unit (EU) لتنفيذ العمليات و وحدة مواجهة الناقل Bus Interface Unit (BIU) لربط المعالج بالذاكرة وغيرها وكذلك لجلب التعليمات و عملية القراءة و كتابة الناتج. هذه الوحدتين موضحتين في الشكل التالي:



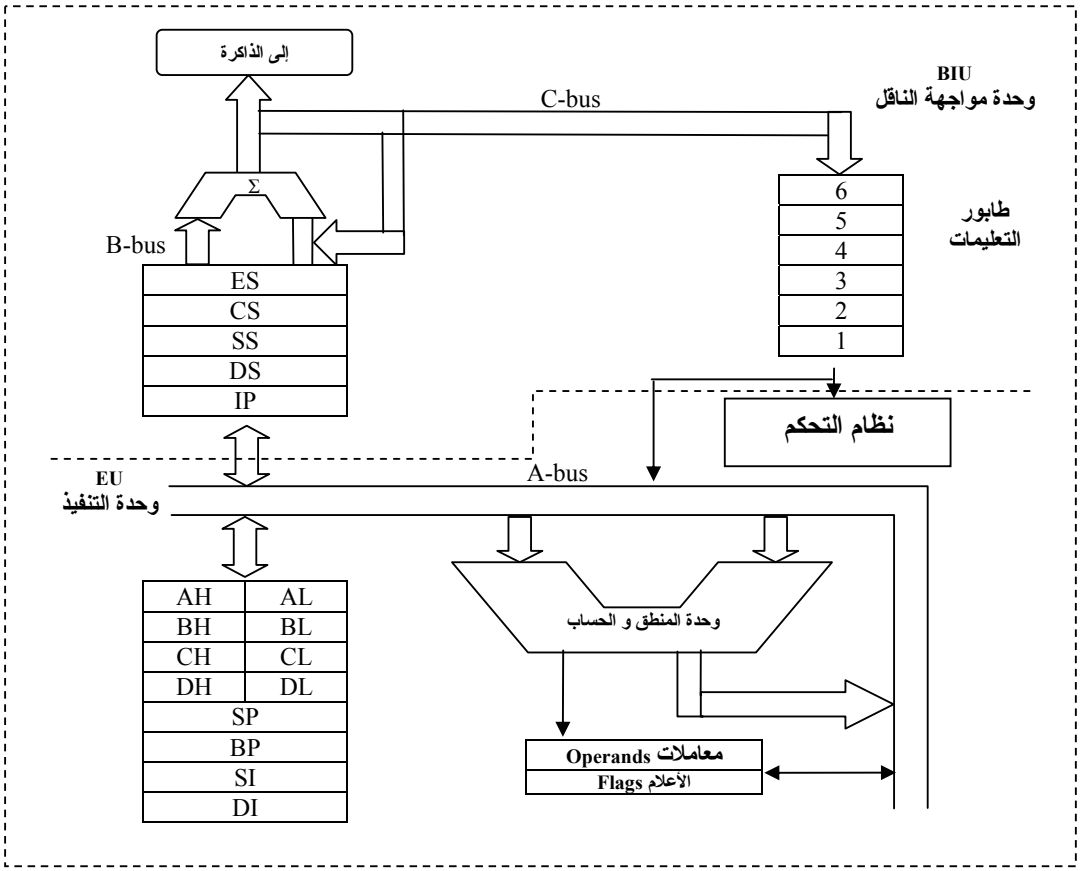
تقوم وحدة مواجهة الناقل (BIU) بجميع عمليات النقل لوحدة التنفيذ (EU) كنقل البيانات من الذاكرة أو وحدة الدخل والخرج(I/O) بينما تقوم وحدة التنفيذ (EU) بتنفيذ التعليمات، تقوم كذلك BIU بجلب التعليمة التالية من الذاكرة. تسمى هذه العملية بجلب التعليمة (prefetching). تخزَّن التعليمات التي تم جلبها من الذاكرة سجلات داخلية تسمى طابور التعليمة(IQ)٠

يسمح هذا الطابور بتزويد وحدة (EU) بالتعليمات بدون انتظار التعليمات التالية٠ الطابور يسرِّع معالجة البيانات بدمج عملية الجلب و تنفيذ التعليمة الحالية ما يسمى بـ overlapping أو pipelining. كانت المعالجات القديمة تقوم بهذه العملية بشكل تسلسلي٠ الشكل التالي يوضح مقارنة ما بين العمليتين (التسلسلي و عملية الجلب والتنفيذ)٠



البنية الداخلية الأساسية للمعالج ٨٠٨٦:

الشكل التالي يبين البنية الداخلية للمعالج ٨٠٨٦. يوضح الشكل كذلك بنية كل من الوحدتين الداخليتين EU و BIU.



وحدة مواجهة الناقل (BIU):

تتكون وحدة مواجهة الناقل من أربع أقسام رئيسية هي:

١. طابور التعليمات .
٢. سجلات التجزئة .
٣. مؤشر التعليمة
٤. دائرة جامع العناوين .

الاتصال بوحدة التنفيذ يتم عن طريق الناقل الداخلي للبيانات٠

طابور التعليمة Instruction Queue(IQ)

طابور التعليمة يزيد من السرعة الإجمالية للمعالج وذلك بإحضار التعليمات من الذاكرة و تخزينها في الطابور قبل البدء في تنفيذها. يجلب المعالج ٨٠٨٦ ستة (٦) تعليمات كحد أقصى٠و تسمح هذه التقنية للمعالج ٨٠٨٦ بالقيام بعمليتين في نفس الوقت (الجلب و التنفيذ) و تسمى هذه التقنية بـ pipelining أو overlapping.

سجلات التجزئة (Segment Registers):

تتكون جميع سجلات التجزئة الأربع (CS, DS, ES, SS) من ١٦ خانة و تستخدم لعنونة ١ ميغابايت (1MBytes) من مساحة الذاكرة٠

ولتنفيذ برنامج ما، يقوم المعالج ٨٠٨٦ بتقسيم مساحة الذاكرة إلى أربع مجموعات تسمى أجزاء segments، مساحة كل جزء لا تتعدى ٦٤ كيلوبايت (٦٥٥٣٦ بايت)٠

عنوان البداية أو القاعدة (base address) لكل جزء في الذاكرة تُعين من قبل البرنامج، و تخزّن أماكنها الحالية في سجلات التجزئة الأربع. و وظيفة كل جزء تتلخص في التالي:

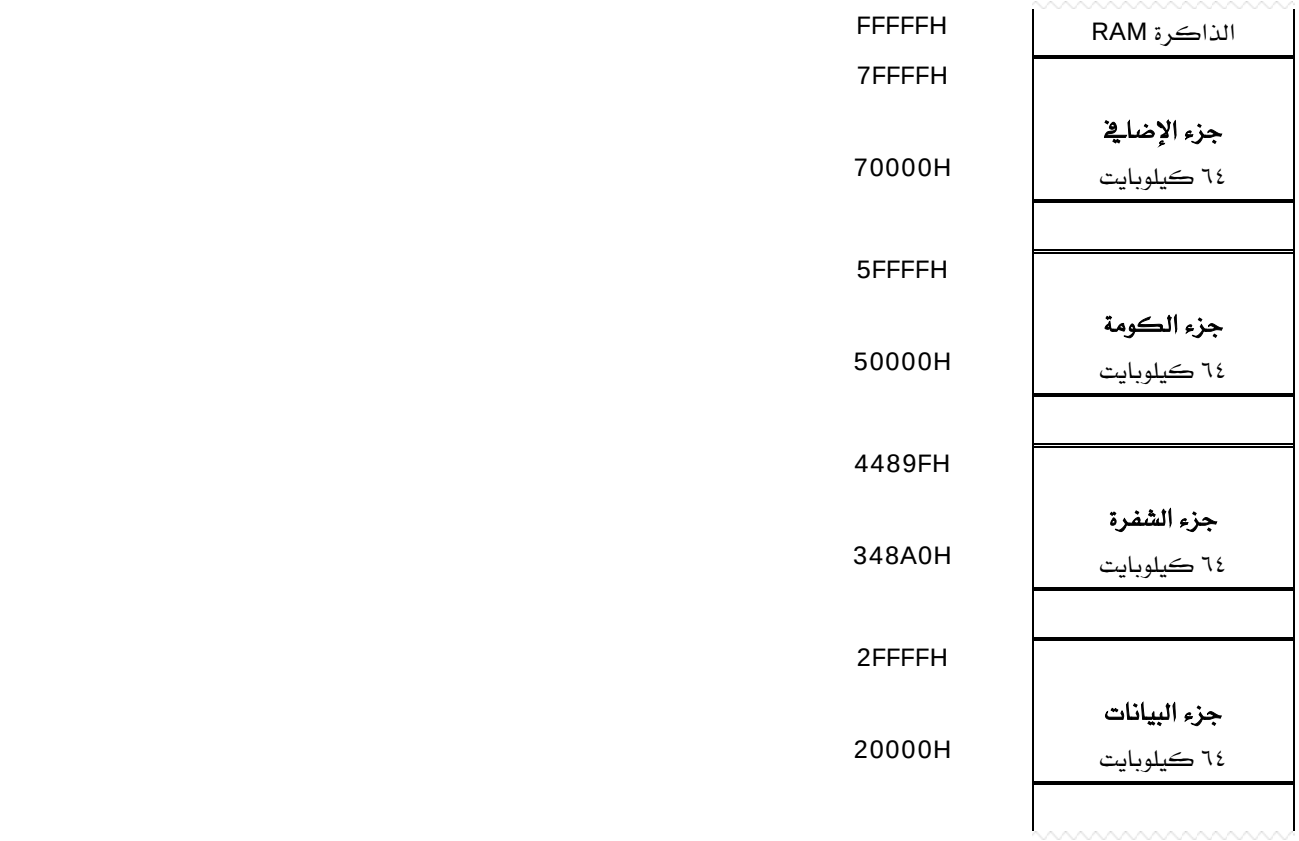
السجل (Code Segment) CS الذي يحتوي على عنوان بداية التعليمات.

السجل (Data Segment) DS الذي يحتوي على عنوان بداية البيانات٠

السجل (Stack Segment) SS الذي يحتوي على عنوان بداية الكومة أو الرصّة٠

السجل (Extra Segment) ES الذي يحتوي على عنوان بداية جزء إضافي٠

الشكل التالي يوضح مكان الأجزاء و مساحتها وعنوان القاعدة.



عنوان البداية. يكون محتوى السجل ← (ES=7000H)

عنوان البداية يكون محتوى السجل ← (ES=5000H)

عنوان البداية يكون محتوى السجل ← (ES=348AH)

عنوان البداية يكون محتوى السجل ← (ES=2000H)

ملاحظة: تضيف دائماً وحدة مواجهة الناقل أصفار في آخر ٤ خانات لعنوان البداية لكي يصبح ٢٠ خانة

مؤشر التعليمة (IP)Instruction Pointer **و دائرة جمع العناوين**:

مؤشر التعليمة يشير إلى التعليمة التالية في الذاكرة. يحتوي السجل IP على عنوان المعادل (Offset Address) للتعليمة التالية و التي هي المسافة بالبايت بين عنوان البداية أو القاعدة و عنوان الشفرة الحالي في سجل التجزئة (CS).

للحصول على الـ ٢٠ خانة للعنوان الفعلي للذاكرة التي تخرج من ناقل العناوين، نجمع ١٦خانة لعنوان المعادل IP مع عنوان البداية للسجل CS الحاصل بعد إزاحته بأربعة خانات إلى اليسار كما هو مبين في الشكل:

CS سجل التجزئة للشفرة	0	0	0	0

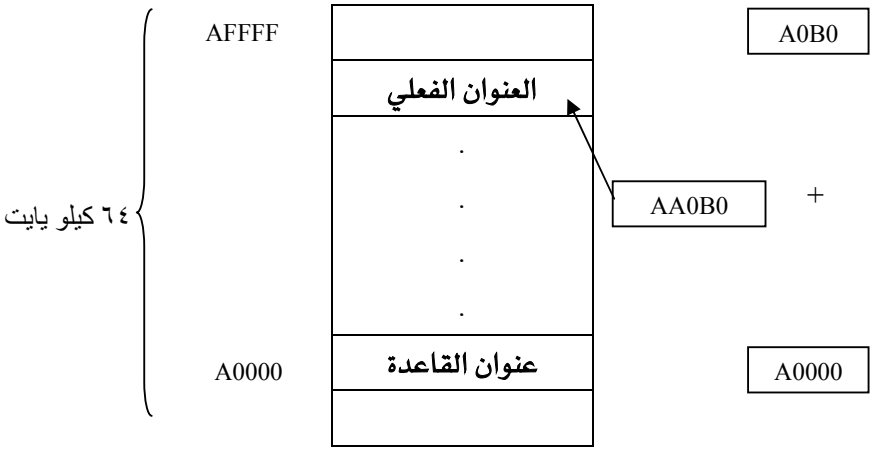
+

IP مؤشر التعليمات

=

٢٠ خانة عناوين

هذه العملية قامت بها دائرة جامع العناوين. الشكل التالي يوضح عنونة مكان في الذاكرة باستخدام طريقة التجزئة. في هذا المثال يحتوي سجل التجزئة CS على $A000_{16}$ و سجل مؤشر التعليمات IP على $A0B0_{16}$ عند إزاحة سجل التجزئة CS وإضافته إلى السجل IP نحصل على $AA0B0_{16}=A0B00_{16}+A000_{16}$.



مثال: أوجد العنوان الفعلي في الذاكرة للتعليمة في الحالة التالية:

$A034_{16}=CS$
$0FF2_{16}=IP$

الحل:

$A1332_{16}=0FF2_{16}+A0340_{16}$

سؤال : أوجد العنوان الفعلي عندما يكون CS يحتوي على العنوان $6B4D_{16}$.

وحدة التنفيذ Execution Unit (EU)

تقوم وحدة التنفيذ بفك الشفرة التي تم جلبها من وحدة BIU و كذلك بتوليد إشارات التحكم المناسبة و تنفيذ التعليمات. الأجراء الرئيسية لوحدة التنفيذ هي:

- وحدة الحساب والمنطق.ALU
- سجلات العامة General purposes.
- الأعلام.(Flags)

وحدة الحساب والمنطق (ALU)

تقوم هذه الوحدة بجميع عمليات البرمجة والمنطق. مثل الجمع والطرح وAND و OR وXOR والزيادة والنقصان والإزاحة باستخدام ١٦ خانة أو ٨ حانات.

السجلات العامة :

في الشكل الذي يوضح البنية الداخلية للمعالج ٨٠٨٢ نجد ٨ سجلات عامة ٨ خانات باسم AH ، AU ، BL ، CH ، CL ، DH ، DL.

يمكن استخدام هذه السجلات للتخزين المؤقت للبيانات التي طولها ٨ خانات. السجل AL يسمى بالمركم (Accumulator)و يتميز ببعض خصائص التي لا تتوفر في السجلات الأخرى.

تمثل كل من AL ، BL ، CL ، DL ٨ الخانات المنخفضة بينما AH ، BH ، CH ، DH ٨ الخانات الأعلى.

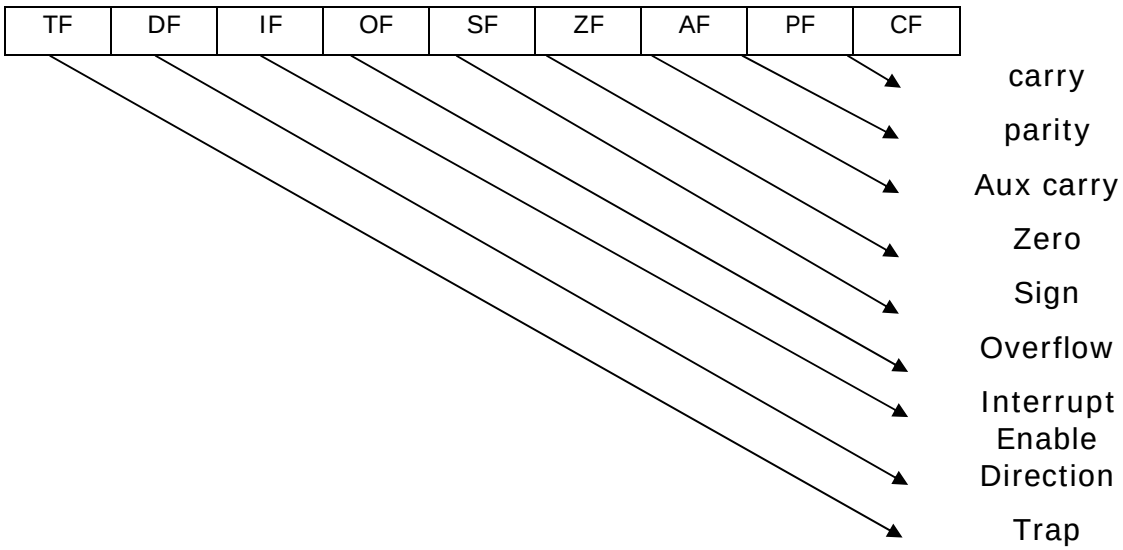
يوجد بالإضافة لسجلات العامة، ٤ سجلات ١٦ خانة باسم SP، BP، DI، SI. تسمى هذه السجلات بسجلات الفهرسة (Index) و التوجيه (Pointers) وتستخدم هذه السجلات في حالات مختلفة لعنونة الذاكرة تحت تحكم وحدة التنفيذ EU. الشكل التالي يوضح ذلك:

مجموعة البيانات	AH	AL	Accumulator
	BH	BL	Base
	CH	CL	Count
	DH	DL	Data

مجموعة الفهرسة و التوجيه	SP	Stack Pointer
	BP	Base pointer
	SI	Source Index
	DI	Destination Index

الإعلام (Flags):

سجل العلم هو عبارة عن دائرة قلاَّب يقوم بإخبار المعالج ببعض الحالات التي تنتج عن تنفيذ عملية أو تحكم في بعض عمليات وحدة التنفيذ. يحتوي سجل العلم على ٩ حالات وخانات تحكم كما هو مبين في الشكل:



يستخدم علم الحالة، وهو خانة واحدة، لإظهار حالة معينة بعد عمليات حسابية مثلCF علم الحمل و SF علم الصفر أو SF علم الإشارة ... إلخ. تستخدم أعلام التحكم لتغيير عمليات المعالجة في بعض الحالات.

برمجة المعالج بلغة التجميع Assembly Language Programming:

يجب برمجة جميع الحاسبات للقيام بمهام معينة حتى البدائية منها. سوف نركز في هذا الفقرة على المفاهيم الأساسية لبرمجة المعالج بلغة التجميع.

تتكون البرامج من قائمة مرتبة من التعليمات، هدفها القيام بمهمة معينة. لننظر كيف ينفذ المعالج برنامج بسيط. لنأخذ المثال التالي:

١. إدخال قيمة من منفذ الدخل رقم ٢. يمكن أن تكون هذه القيمة مثلاً درجة الحرارة الخارجية.
٢. إضافة العدد٥ إلى القيمة المدخلة. يمكن أن يمثل هذا العدد معامل تصحيح لدرجة الحرارة.
٣. إخراج الجمع إلى منفذ الخرج رقم ٣. إظهار درجة الحرارة مثلاً على جهاز الأوسيلوسكوب أو جهاز آخر.

يجب كتابة التعليمة أو التعليمات لكل مهمة لإخبار المعالج بما سوف يقوم به. فلكل معالج مجموعة تعليمات (Instruction Set) يمكن للبرنامج استخدامها للقيام بمهمة معينة. مثلاً المعالج ٨٠٨٦ له ما يقارب ١٠٠ تعليمة.

إن التعليمة، هي الوحدة الأساسية في عملية المعالجة وتتألف من قسمين: الأول يسمى بشفرة العملية Opcode التي تصف ما تقوم به التعليمة. والثاني يسمى بالمعاملات Operands التي تصف المعطيات والعناصر التي تحتاجها التعليمة لمعالجة البيانات.

وللتوضيح أكثر نأخذ المثال السابق لشرح دور التعليمة.

في الخطوة الأولى نستخدم التعليمة IN لإخبار المعالج بنقل البيانات من المنفذ المخصص لذلك إلى المركم AL. نُمثل التعليمة IN بالشفرة العملية Opcode (٨ خانات): $11100100_2=E4_{16}$. يكون مكان الشفرة العملية في الذاكرة RAM و يحدد عنوانه المبرمج. مكان الذاكرة الذي يلي شفرة العملية يحتوي على المعطيات و هو في المثال رقم منفذ الخرج. في نهاية تنفيذ هذه التعليمة، تكون القيمة المخزّنة في المركم AL تساوي القيمة التي كانت موجودة بمنفذ الدخل رقم ٢.

في الخطوة الثانية نستخدم التعليمة ADD لإخبار المعالج بإضافة المُعامل ٥ إلى محتوى المركم AL، و وضع الناتج في المركم AL مرة ثانية. تُمثل التعليمة ADD بشفرة العملية التالية: $00000100_2=04_{16}$. نجد هذه القيمة مخزّنة في مكان الذاكرة الذي يلي رقم المنفذ السابق.

عنوان الذاكرة الذي يلي التعليمة ADD يحتوي على المُعامل٥.

في الخطوة الثالثة نستخدم التعليمة OUT لإخبار المعالج بنقل محتوى المركم AL (الذي يحتوي على حاصل الجمع)إلى منفذ الخرج رقم ٣. تُمثل التعليمة OUT بشفرة العملية $E6_{16}$=11100110. هذه القيمة مخزّنة في مكان الذاكرة الذي يلي المُعامل ٥ ويليه رقم المنفذ ٣.

الشكل التالي يوضح محتوى الذاكرة RAM. نأخذ عنوان A0000 كبداية لعنوان الذاكرة الفعلية للبرنامج.

عنوان الذاكرة الفعلي	RAM	الشفرة
A0000	11100100	شفرة العملية IN
A0001	00000010	رقم منفذ الدخل ٢
A0002	00000100	شفرة العملية ADD
A0003	00000101	المُعامل ٥
A0004	11100110	شفرة العملية OUT
A0005	00000011	رقم منفذ الخرج ٣

كتابة البرنامج بلغة التجميع يكون كالتالي:

لغة التجميع	تعليق
IN AL,02H	إدخال بايت من المنفذ٢ وتخزينه في المركم AL.
ADD AL,05H	إضافة ٥ إلى محتوى المركم AL.
OUT 03H,AL	إخراج حاصل الجمع إلى المنفذ ٣.

كتابة البرنامج بلغة الآلة تكون كالتالي:

شفرة لغة الآلة	التعليق
11100100($E4_{16}$)	شفرة العمليةIN
0000010(02_{16})	رقم المنفذ

$00000100(04_{16})$	شفرة العملية ADD
$00000101(05_{16})$	المعامل
$11100110(E6_{16})$	شفرة العمليةOUT
$00000011(03_{16})$	رقم المنفذ

تنفيذ البرنامج:

لتنفيذ البرنامج يجب استخدام حاسب متوافق مع IBM أو طقم خاص يستخدم فيه المعالج 8086 وكذلك برنامج المجمع Assembler مثل MASM أو TASM لكتابة الشفرات.

خطوات تنفيذ البرنامج تتلخص في:

١. جلب التعليمة IN.
٢. فك شفرة العملية IN.
٣. قراءة رقم المنفذ من الذاكرة.
٤. الاتصال بالمنفذ باستخدام دوائر الدخل و الخرج (I/O) و نقل قيمة الثنائية الموجودة بالدخل إلى المركم AL.
٥. جلب التعليمة ADD.
٦. فك شفرة العملية ADD.
٧. قراءة المُعامل من الذاكرة و إضافته إلى محتوى AL وتخزين الناتج في AL.
٨. جلب التعليمةOUT.
٩. فك شفرة العملية OUT.
١٠. قراءة رقم المنفذ من الذاكرة.
١١. الاتصال بالمنفذ باستخدام دوائر الدخل و الخرج (I/O) و نقل القيمة الثنائية الموجودة بالمركم AL إلى منفذ خرج.

هذا المثال يعطيك فكرة عامة و بسيطة عن طريقة عمل برنامج باستخدام لغة التجميع.

أنواع التعليمات Instruction Set:

لا يمكن تغطية جميع أنواع التعليمات هنا لكن سوف نسرد بشكل مختصر جداً بعض التعليمات:

١. **تعليمات البيانات:**

IN	إدخال
OUT	إخراج
MOV	نقل
PUSH	حفظ في الكومة
POP	جلب من الكومة
XCHG	تبادل

مثال: التعليمة MOV: الشكل العام لهذه التعليمة تكون كالتالي:

MOV Destination, Source

تتلخص وظيفتها في نقل البيانات من المصدر Source إلى مكان سجل الهدف Destination. مكان المصدر يمكن أن يكون:

- قيمة معينة و تسمى هذه الحالة بحالة العنونة الفورية Immediate Addressing Mode و تكتب التعليمة كالآتي: MOV CL, 48H و تعني نقل البايت 48H إلى السجل CL.
- محتوي سجل آخر و يسمى هذا النوع بحالة العنونة السجلات Register Addressing Mode و تكتب التعليمة كالآتي: MOV BL, CL و تعني نقل محتوى السجل CL إلى السجل BL.
- محتوى مكان في الذاكرة و يسمى هذا النوع بحالة العنونة المباشرة Direct Addressing Mode و تكتب التعليمة كالآتي: MOV BL, [437AH] و تعني نقل محتوى الذاكرة التي عنوانها 437AH + عنوان القاعدة الموجود بسجل التجزئة للبيانات DS. إذا كان DS=20000H فإن العنوان يصبح 2437AH.

٢. **تعليمات حسابية:**

ADD	إضافة
INC	زيادة
DEC	إنقاص
CMP	مقارنة

SUB	الطرح
MUL	الضرب
DIV	القسمة

مثال: التعليمة ADD: الشكل العام لهذه التعليمة تكون كالتالي:

ADD destination, source

تتلخص وظيفة هذه التعليمة في جمع المصدر و الهدف. مثال: ADD BL, 06H. إذا أردنا إضافة 78H و 08H فنقوم بنقل 08H إلى سجل معين ثم نضيفه إلى الثاني كالآتي:

```
MOV AL, 08H
ADD 78H, AL
```

ملاحظة: لا يمكن القيام بعملية الجمع مباشرة فالتعليمة ADD 78H, 08H غير مقبولة.

٣. **تعليمات التعامل مع الخانات:**

NOT	
AND	
OR	
XOR	
SAR	إزاحة إلى اليمين
SAL	إزاحة إلى اليسار

اختبارذاتي

١. عرف المعالج واذكر عناصره ؟
٢. كيف تنتقل البيانات من وحدة إلى أخرى في الحاسب ؟
٣. اذكر المكونات الأساسية للحاسب ؟
٤. ما هي المميزات عند استخدام سجلات المعالج الداخلية بدل من الذاكرة RAM مباشرة؟
٥. ما هو الشيء الذي يحدد أن معالج ما هو معالج ١٦ خانة أو ٣٢ خانة؟
٦. كم خط عنوان يحتوي المعالج ٨٠٨٦ وما هو حجم الذاكرة التي يمكن للمعالج أن يتعامل معها؟
٧. ما هي وظيفة الطابور بالمعالج ٨٠٨٦؟ ما هو دور الطابور في أداء المعالج.
٨. ما معنى كل من Opcode و Operands؟
٩. ما هي الذاكرة الفعلية في الحالات التالية:

CS: IP=4370:561E
CS: IP=7A32:0028

١٠.إذا كان عنوان جزء الشفرة Code Segment يساوي 70400H ، فما هو محتوى السجل CS و ما هو العنوان الفعلي للذاكرة للشفرة عندما تكون قيمة السجل IP تساوي 539CH؟

١١.باستخدام فقط التعليمات ADD و MOV ، اكتب البرامج التالية:

أ - C=A+B
ب - B=3*B+7

المراجع

١. سليم عمر إدريس : مبادىء التصميم الإلكتروني الرقمي
شعاع للنشر و العلوم، الطبعة الأولى ٢٠٠٢.

٢. أحمد عبد المتعال : الإلكترونيات الرقمية و تطبيقاتها العملية،
دار النشر للجامعات، الطبعة الأولى ٢٠٠١.

٣. ذيب محمد إسماعيل غنيم : دوائر المنطق الإلكترونية و الرقمية،
منشورات ELGA ، الطبعة الثانية ١٩٩٩.

4. Ytha, Yu, Charles Marut: Assembly Language Programming and Organization of the IBM PC, Mc Graw Hill, 1992, isbn 0-07-072692-2.
5. Douglas V. Hall: Microprocessors Interfacing, Programming and hardware, 2nd Edition, Mc Graw Hill, 1992, isbn 0-07025744-2.
6. Thomas L. Floyd: Digital Fundamentals, 6th Edition, Prentice-Hall International Editions, 1994, isbn 0-13-573478-9.
7. Roger L. Tokheim : Digital Electronics, 5th Edition, Mc Graw Hill, 1999.

المحتويات

الصفحة

مقدمة .....
تمهيد .....
الوحدة الأولى: مقدمة الدوائر الرقمية ١
الكيات الرقمية والتماثلية.....٢
الإشارات الرقمية ٩
أجهزة القياس.....١١
اختبار ذاتي.....١٩

الوحدة الثانية: النظم العددية والشفرات.....٢٠
النظام العشري.....٢١
النظام الثنائي.....٢٣
النظام الست عشري.....٢٦
شفرة BCD.....٣١
شفرة ASCII.....٣٢
اختبار ذاتي.....٣٤
الوحدة الثالثة:الوظائف المنطقية الرقمية.....٣٧
بوابة "و" AND.....٣٨
بوابة "أو" OR.....٣٩
دائرة العاكس.....٤١
بوابة NAND.....٤٣
بوابة XOR.....٤٤
بوابة XNOR.....٤٥
اختبار ذاتي.....٤٧

الوحدة الرابعة: وظائف الدوائر التجميعية.....٤٨
الجامع ٤٩
المقارن.....٥٦
دائرة المشفر.....٥٩
دائرة مجمع القنوات Multiplexer.....٦٥
دائرة معدد القنوات Demultiplexer.....٦٦
اختبار ذاتي.....٧٠
الوحدة الخامسة: دوائر القلابات..... ٧٢
القلاب RS.....٧٣
القلاب JK.....٧٩
القلاب D.....٨٠
القلاب T.....٨١
اختبار ذاتي.....٨٣
الوحدة السادسة: دوائر العدادات والمسجلات والذاكرة.....٨٤
دوائر العدادات.....٨٥
دوائر المسجلات.....٩٩
دوائر الذاكرة.....١٠٩
اختبار ذاتي.....١٢٦
الوحدة السابعة: المعالجات الدقيقة.....١٢٩
المعالج و الحاسب.....١٣٠
المعالج إنتل ٨٠٨٦.....١٣٥
برمجة المعالج.....١٤٣
اختبار ذاتي.....١٤٨
المراجع.....١٤٩
المحتويات

تقدر المؤسسة العامة للتعليم الفني والتدريب المهني الدعم

المالي المقدم من شركة بي آيه إي سيستمز (العمليات) المحدودة

GOTEVOT appreciates the financial support provided by BAE SYSTEMS